

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 9 月 29 日 (29.09.2005)

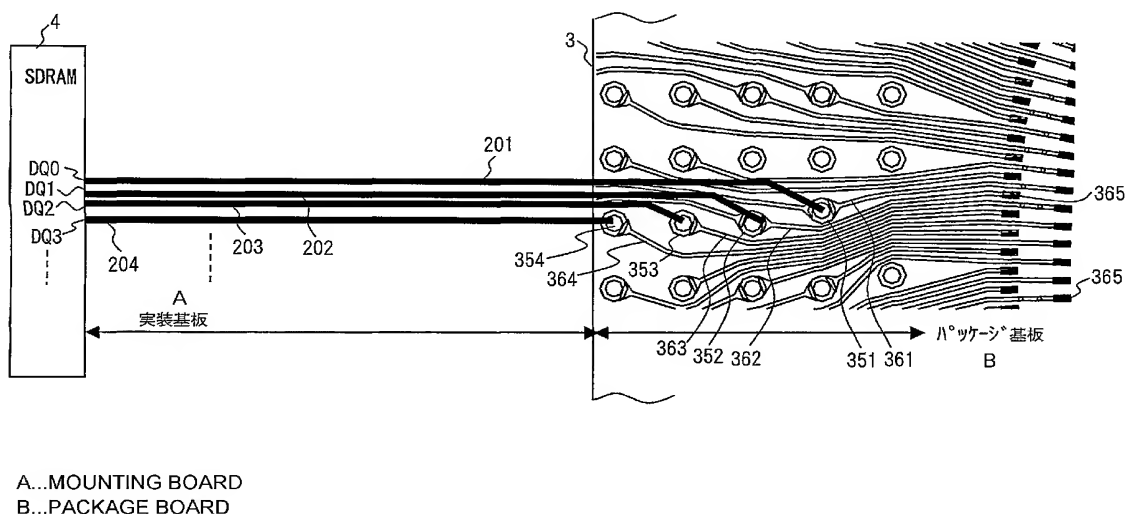
PCT

(10) 国際公開番号  
WO 2005/091367 A1

- (51) 国際特許分類<sup>7</sup>: H01L 25/10, 25/18, (72) 発明者; および  
G06F 13/16, 12/00, 1/18, H05K 1/02 (75) 発明者/出願人 (米国についてのみ): 諏訪 元大 (SUWA, Motoo) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 宮木 美典 (MIYAKI, Yoshinori) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 林 亨 (HAYASHI, Toru) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 佐野 亮一 (SANO, Ryoichi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 松井 重純 (MATSUI, Shigezumi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 成瀬 峰信 (NARUSE, Takanobu) [JP/JP]; 〒1006334 東京都
- (21) 国際出願番号: PCT/JP2004/003767
- (22) 国際出願日: 2004 年 3 月 19 日 (19.03.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- [続葉有]

(54) Title: ELECTRONIC CIRCUIT, SEMICONDUCTOR DEVICE, AND MOUNTING BOARD

(54) 発明の名称: 電子回路、半導体装置及び実装基板



(57) Abstract: An electronic circuit has first and second semiconductor devices (4, 3) on a mounting board. The mounting board has mounting board wirings (201 to 204) commonly connected to external terminals for bits of the first and second semiconductor devices in a bit-to-bit correspondence. The lengths of the mounting board wirings from the external terminals of the first semiconductor device to the external terminals of the second semiconductor device differ with bits, and the lengths of assembly wirings (361 to 364) from the external terminals of the second semiconductor device to connection electrodes of a semiconductor chip differ with bits. The different lengths of the mounting board wirings cancel the different lengths of the assembly wirings. Therefore, it is unnecessary that the lengths from the external terminals of the semiconductor devices to the connection electrodes of the semiconductor chip are the same.

(57) 要約: 電子回路は実装基板に第 1 の半導体装置 (4) と第 2 の半導体装置 (3) を有する。実装基板は前記第 1 の半導体装置の複数ビットの外部端子と前記第 2 の半導体装置の複数ビットの外部端子にビット対応で共通接続される複数の実装基板配線 (201 ~ 204) を有する。実装基板配線は、前記第 1 の半導体装置の外部端子から前記第 2 の半導

[続葉有]



千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 佐藤 高史 (SATO, Takashi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 塩田 恒 (SHIOTA, Hisashi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP).

(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒1020083 東京都千代田区麹町5丁目7番地 秀和紀尾井町TBRビル 8 1 3 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

体装置の外部端子までの長さがビット毎に不等長であり、前記第2の半導体装置の外部端子から半導体チップの接続電極に至る組立て用配線(361~364)の長さがビット毎に不等長であり、このとき、前記実装基板配線の不等長は前記組立て用配線の不等長を相殺する関係を有する。これにより、第2の半導体装置の外部端子とその半導体チップの接続電極との間を等長にすることを要しない。

## 明 細 書

電子回路、半導体装置及び実装基板

## 5 技術分野

本発明は、実装基板に半導体装置が搭載された電子回路、半導体装置、  
更には実装基板に関し、例えば、多層配線構造の実装基板にデータプロ  
セッサと S D R A M (シンクロナス・ダイナミック・ランダム・アクセ  
ス・メモリ)、特に D D R (ダブル・データ・レート) - S D R A M (J  
10 E D E C S T A N D A R D : J E S D 7 9) を搭載した回路モジュー  
ルに適用して有効な技術に関する。

## 背景技術

実装基板にデータプロセッサと S D R A M を搭載した回路モジュー  
15 ルについて記載された文献として特開 2 0 0 1 - 1 7 7 0 4 6 号公報  
がある。これによれば、B G A パッケージ構造のデータプロセッサを中  
央に配置し、その周囲に S D R A M を配置し、S D R A M へのデータ端  
子を B G A (ボール・グリッド・アレイ) パッケージの辺の中央部に配  
置している。S D R A M へのクロック、アドレス、及びコマンドの出力  
20 端子は B G A パッケージのコーナー部に配置される。

また、W O 9 9 / 2 4 8 9 6 の国際公開パンフレットには、マイコン  
とメモリチップを接続するときのクロック及びアドレス配線を考慮し  
た配線設計について記載があり、パッケージの辺の中央部にクロック端  
子を配置し、その左右にアドレス及びデータ端子を配置する。

25

発明の開示

本発明者は実装基板にBGAパッケージ構造のデータプロセッサとSDRAMを搭載したとき、その動作性能を最大限に引き出すための実装基板とパッケージの構造について独自に検討した。

5 第1は並列データのビット間スキューの低減である。従来、前記特開2001-177046号公報にも記載されているように、複数のSDRAMと、前記SDRAMにクロック信号を出力するチップとの間で、クロック信号のタイミングのずれを低減するために、配線基板のクロック配線長さをより等長に近づける対策がなされる場合があった。

10 半導体装置の高性能化のために、データプロセッサ（マイコンチップ）と、前記データプロセッサによって制御され、大容量のデータを格納する機能を有するメモリチップとの間のメモリアンターフェースのデータ転送速度の更なる向上が求められている。高速データ転送を実現するメモリアンターフェース仕様としてDDR-SDRAMインターフェース仕様がある。

15 前述のSDRAMインターフェースでは、データプロセッサから出力されるクロック配線の等長性が要求されたが、DDR-SDRAMインターフェース仕様においては、そのインターフェースの高速性を実現するために、クロック配線の等長性だけでなく、各メモリチップから出力されるデータストロブ信号(DQS)に対応するデータ信号(DQ)のタイミングマージンも厳しく制限される。

20 シンクロナスメモリの複数ビットの外部端子はデータ入出力タイミングがクロック信号に同期され、前記データプロセッサは前記シンクロナスメモリから出力される前記クロック信号(データストロブ信号:DQS)に同期して前記シンクロナスメモリから出力されるデータを取り込む。データプロセッサは入力されるクロック信号をデータストロブ信号(DQS)として利用する。第41図に記載されるように、シン



- クロナスメモリの中でも、クロックの立ち上がりとたち下がりに同期してデータを出力することで、高いレートでのデータ転送を実現するDDR-SDRAMインターフェース仕様においては、DQS用配線に対するDQ用配線の等長性も求められる。また、DQ用配線は、やはり高い
- 5 データ転送レートを確保するために、非常に多くの本数が並列して接続されることで、広いバス幅を確保されているものである。このように、従来SDRAMインターフェースにおいて、データプロセッサ（メモリ制御チップ）から出力されるマスククロック信号の等長性が求められていた条件に比較して、DDR-SDRAMインターフェースを実現する
- 10 ためには、膨大な本数の配線に対して、厳しいタイミングマージンの遵守、すなわち配線の等長性が課せられることとなる。このような要求を満たすにあたって、システム全体を見回した上でどのような構成にすることが高性能化かつ低コスト化に寄与するかについて発明者は独自に検討した。
- 15 BGAパッケージに代表されるように外部端子が複数列で配置されている場合、半導体装置内部ではパッケージの端子の配置列の相違によりチップの端子までの距離が相違され、その相違を吸収するようにパッケージ内配線を少しずつ屈曲させて配線長の合わせ込みを行なわなければならない。同様に、BGAパッケージに代表されるように外部端子
- 20 が複数列で配置されている場合、実装基板上の配線についても、パッケージの外部端子の配置列の相違に応じてその差を吸収するように少しずつ屈曲させて配線長の合わせ込みを行なわなければならない。この配線等長化の思想は、半導体装置と実装基板の双方において手間のかかる処理が必要になり、配線領域も増えてしまう。
- 25 第2は、多層配線構造のパッケージ基板上でのカップリングノイズによる影響である。半導体チップが外部から参照電位を入力して利用する

場合、特にそのレベルが前記カップリングノイズによる影響で変動する虞のあることが本発明者によって見出された。

第3は、実装基板に多数環状に形成されるスルーホール等の貫通孔による電源及びグランドプレーン上での電流経路の減少についてである。

5 多層配線構造の実装基板はシールドの観点より信号配線層の間にグランドプレーンや電源プレーンが介在され、信号配線層間を接続する多数のビアホールやスルーホールがグランドプレーンや電源プレーンを非接触で貫通する。BGAパッケージ構造に代表されるパッケージ構造では半田ボール電極が複数列で環状に配置され、しかもその配置は狭ピッチであるから、グランドプレーンや電源プレーンにはビアホールやスルーホール  
10 の非接触貫通孔が環状に多数形成されることが予想され、これによって環状貫通孔の外周部分と内周部分との間での電流経路が実質的に狭くなり、必要な電流供給能力を得ることが出来なくなる虞が本発明者によって見出された。

15 第4は、複数のSDRAMにコマンド及びアドレスを供給する配線の終端処理についてである。そのような配線は途中で分岐を有する一方向配線となり、分岐先の何れを終端させるかによって電圧反射ノイズの低減効果に差の有ることが見出された。更に、コマンド及びアドレスは複数ビットの信号であるから終端電源が安定するように終端電源プレーン  
20 に対して終端抵抗を分散配置することが望ましく、これを考慮して、一方向配線の何れの分岐先を終端させるかを定めることの必要性が本発明者によって見出された。

第5は、多層配線構造のパッケージ基板上でのカップリングノイズによる別の影響である。半導体チップがフェーズ・ロックド・ループ（PLL回路又はディレイ・ロックド・ループ（DLL）回路を有する場合  
25 にその動作に用いるクロック配線とPLL回路又はDLL回路の動作

電源配線がパッケージ基板上でカップリングすることにより当該電源が揺れて同期性能が低下する虞のあることが本発明者によって見出された。

5 第6は、パッケージ基板上におけるディジタル・アナログ・コンバータ（DAC）又はアナログ・ディジタル・コンバータ（ADC）用の電源配線についてであり、DAC又はADC用の電源配線をその他の回路の電源配線と独立させるとき、それでも当該DAC又はADC用の電源配線のレベルが揺れたときDAC又はADCの信号への影響を抑えて変換精度を向上させることの必要性が本発明者に見出された。

10 第7は、定電流源回路からの定電流をスイッチを用いて出力ノードに加算する回路を有するDACについて、前記スイッチに対するスイッチングノイズが定電流源回路の電源に影響を与えないようにして変換精度を向上させることの必要性が本発明者に見出された。

15 本発明の第1の目的は、配線等長化に比べて処理に手間がかからず配線領域も増やすことなく実装基板上における並列データのビット間スキューを低減することにある。

本発明の第2の目的は、多層配線構造のパッケージ基板上でカップリングノイズにより参照電位が影響されることを抑制することにある。

20 本発明の第3の目的は、実装基板の電源プレーン及びグランドプレーンを貫通するビアホール及びスルーホールの影響による電流経路の減少を抑制することにある。

本発明の第4の目的は、実装基板上途中で分岐を有する一方向配線の終端性能を向上させることにある。

25 本発明の第5の目的は、半導体チップのPLL回路又はDLL回路が用いるクロック配線とその動作電源配線がパッケージ基板上でカップリングすることにより当該電源が揺れて同期性能が低下するのを抑止

することにある。

本発明の第 6 の目的は、パッケージ基板上における半導体チップの D A C 又は A D C 用電源配線のレベルが揺れても D A C 又は A D C への影響を抑えて変換精度を向上させることにある。

- 5      本発明の第 7 の目的は、定電流源回路からの定電流をスイッチを用いて出力ノードに加算する形式の D A C を備えた半導体装置において、前記スイッチのスイッチングによる電源ノイズが定電流源回路の電源に影響を与えないようにして変換精度を向上させることにある。

- 10      本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

本願において開示される発明のうち代表的なものの概要を説明すれば下記の通りである。

- 〔 1 〕《並列データのビット間スキュー低減》本発明に係る電子回路は実装基板（ 2 ）に第 1 の半導体装置（ 4 ）と第 2 の半導体装置（ 3 ）を有する。前記実装基板は前記第 1 の半導体装置の複数ビットの外部端子（ D Q 0 ～ D Q 3 ）と前記第 2 の半導体装置の複数ビットの外部端子（ 3 5 1 ～ 3 5 4 ）にビット対応で共通接続される複数の実装基板配線（ 2 0 1 ～ 2 0 4 ）を有する。前記実装基板配線は、前記第 1 の半導体装置の外部端子から前記第 2 の半導体装置の外部端子までの長さがビット毎に不等長であり、前記第 2 の半導体装置の外部端子から半導体チップ（ 3 1 ）の接続電極に至る組立て用配線（ 3 6 1 ～ 3 6 4 ）の長さがビット毎に不等長であり、このとき、前記実装基板配線の不等長は前記組立て用配線の不等長を相殺する関係を有する。これによれば、第 2 の半導体装置の外部端子とその半導体チップの接続電極との間を等長にすることを要しない。その半導体装置を実装する実装基板を設計・製造するときは、その半導体装置の不等長の内容にしたがって、その不等

長を相殺するように実装基板上で第1の半導体装置と第2の半導体装置と接続する配線を不等長にすればよい。したがって、少なくとも、第2の半導体装置内において、更には実装基板上において、夫々配線を等長にするための途中で屈曲させたりする合わせ込みを要しない。

- 5       本発明の具体的な形態として、前記第1の半導体装置はシンクロナスメモリであり、前記第2の半導体装置はシンクロナスメモリをアクセス制御可能なデータプロセッサであり、前記データプロセッサは前記実装基板配線を介してシンクロナスメモリとの間で複数ビットのアクセスデータの並列入出力を行なう。配線領域も増えずに手間無く並列アクセスデータのビット間スキューを低減することができる。
- 10

- 前記シンクロナスメモリの複数ビットの外部端子はデータ入出力タイミングがクロック信号に同期され、前記データプロセッサは前記シンクロナスメモリから出力される前記クロック信号(DQS)に同期して前記シンクロナスメモリから出力されるデータを取り込む。データプロセッサは入力されるクロック信号をデータストロブとして利用する。
- 15

- 本発明の更に具体的な形態として、前記第2の半導体装置はパッケージ基板に前記外部端子として多数のソルダボール電極が形成されたBGAパッケージ構造を有し、パッケージ基板内の組立て用配線の不等長はソルダボール電極相互間のパッケージ縁辺からの距離の差による。要するに、ソルダボール電極は複数列で環状に配置され、パッケージ基板の辺に対向してシンクロナスメモリが配置されるとき、パッケージ基板内の組立て用配線の不等長はソルダボール電極の列方向ピッチの整数倍となる。これに応じて、実装基板上の実装基板配線も前記列方向ピッチの整数倍の相違をもって不等長に設定されればよい。不等
- 20
- 25       長の意義は、半導体装置と実装基板の双方において、ソルダボール電極の列方向ピッチの整数倍、という共通概念で統一されている。

本発明の具体的な形態では前記第 1 の半導体装置はその外部端子から半導体チップの接続電極に至る組立て用配線の長さが等長とされる。第 1 の半導体装置もその外部端子から半導体チップの接続電極に至る組立て用配線の長さが不等長であるときは、その不等長も加味して実装  
5 基板配線の不等長を決定すればよい。

〔2〕《Vref 配線》別の観点による本発明の半導体装置はパッケージ基板（30）に半導体チップ（31）が搭載される。前記半導体チップは、所定のパッド電極から与えられる参照電位を用いて判定動作を行なう判定回路（399）を含む。前記パッケージ基板は、半導体チップ  
10 プのパッド電極との接続に利用される第 1 導電層（Lp1）、グランドプレーンに利用される第 2 導電層（Lp2）、電源プレーンに利用される第 3 導電層（Lp3）、及び実装基板との接続に利用される第 4 導電層（Lp4）を含む。前記第 3 導電層は、前記判定回路に接続する電源プレーン（38e）と前記参照電位の配線（38g）とを含み、前記参  
15 照電位の配線は前記電源プレーンに取り囲まれて配置される。これにより、判定回路の電源プレーンのレベルが揺れると、これにカップリングする参照電位も追従して同相で変化しようとするから、判定回路による誤動作防止に資することが出来る。

更に、前記第 1 導電層と第 3 導電層の間に第 2 導電層を配置すること  
20 により、判定回路の電源プレーンはグランドプレーンにより判定回路の信号線からシールドされ、判定回路による判定動作の信頼性が更に増す。

〔3〕《実装基板上 VCC(VSS)プレーンの分断防止》別の観点による本発明の電子回路は実装基板（2）に半導体装置（3）を有する。前記実装基板は、配線パターンが形成された第 1 導電層（Lm1）、グランド  
25 プレーンに利用される第 2 導電層（Lm2）、電源プレーンに利用される第 3 導電層（Lm3）、及び配線パターンが形成された第 4 導電層

(L m 4) を含む。例えば、前記半導体装置の外部端子は第 1 導電層の配線パターンに結合され、第 1 導電層のグランド配線パターンはビアホール又はスルーホール (3 5 B) を介して第 2 導電層のグランドプレーンに結合し、第 1 導電層の電源配線パターンは第 2 導電層を貫通するビアホール又はスルーホール (3 5 C) を介して電源プレーンに結合し、第 1 導電層の所定の信号配線パターンは第 2 導電層及び第 3 導電層を貫通するビアホール又はスルーホール (3 5 A) を介して第 4 導電層の配線パターンに結合する。前記グランドプレーンと電源プレーンは、ビアホール又はスルーホールが貫通されていない特定領域 (2 1 3, 2 2 3) を有し、前記特定領域は半導体装置に配列された外部端子の 1 ピッチ以上の幅を有する。これにより、グランドプレーンや電源プレーンにビアホールやスルーホールの非接触貫通孔が環状に多数形成されて環状貫通孔の外周部分と内周部分との間での電流経路が実質的に狭くなることを抑止することができる。換言すれば、グランドプレーンや電源プレーンが電流供給能力の点において内外で分断される事態を阻止することができる。

本発明の具体的な形態では、前記グランドプレーンの特定領域には第 1 導電層のグランド配線パターンに接続するビアホール又はスルーホールとの結合部を有する。また、前記電源プレーンの特定領域には第 1 導電層の電源配線パターンに接続するビアホール又はスルーホールとの結合部を有する。特定領域に流れる電流を多くすることが出来る。

本発明の具体的な形態では、前記特定領域は矩形の半導体装置の角部近傍に位置する。ビット間スキュー低減などを考慮すれば並列データの端子は半導体装置の辺の部分に配置するのが望ましいから、上記電源プレーンやグランドプレーンの分断防止を角部で行なうのは、場所的にその要請と競合しない。

本発明の別の具体的な形態では、前記半導体装置はパッケージ基板に多数のソルダーボール電極が複数列で環状配置されたBGAパッケージ構造を有する。第1導電層の配線パターンは前記ソルダーボール電極に接続可能なランドを複数列で環状に有し、前記グランドプレーンに接続するビアホール又はスルーホールと電源プレーンに接続するビアホール又はスルーホールとは前記ランドが環状に形成されている領域の外周部よりも外側又は内周部よりも内側に配置される。グランドプレーン及び電源プレーンに電位が均等に供給され易くなる。

本発明を実装基板の観点に立って把握すると、半導体装置が実装される実装基板は、前記半導体装置の外部端子に接続可能なランドを有する配線パターンが形成された第1導電層、専らグランドプレーンに利用される第2導電層、専ら電源プレーンに利用される第3導電層、及び配線パターンが形成された第4導電層を含む。例えば前記第1導電層のグランド配線パターンはビアホール又はスルーホールを介してグランドプレーンに結合し、前記第1導電層の電源配線パターンは第2導電層を貫通するビアホール又はスルーホールを介して電源プレーンに結合し、第1導電層の所定の信号配線パターンは第2導電層及び第3導電層を貫通するビアホール又はスルーホールを介して第4導電層の配線パターンに結合する。前記グランドプレーンと電源プレーンは、前記ランドの1ピッチ以上の幅でビアホール又はスルーホールが貫通していない特定領域を有する。

〔4〕《分岐を有する一方向配線の終端処理》別の観点による本発明の電子回路は、実装基板に複数の半導体メモリ装置と前記半導体メモリ装置をアクセス制御可能な半導体制御装置とを有する。前記実装基板は前記半導体メモリ装置と前記半導体制御装置とを接続する配線を終端抵抗を介して終端させる為の終端電源の電源プレーン(51)を有する。



前記半導体制御装置よりも前記半導体メモリ装置が前記終端電源の電源プレーン寄りに実装される。前記終端電源の電源プレーンに、前記配線に接続する終端抵抗（５２，５３）と前記終端抵抗寄りに配置された第１の安定化容量（５４）とが複数個分散して接続される。前記終端電源の電源プレーンには終端電源を供給する供給端に対して当該電源プレーンの遠端部に前記第１の安定化容量よりも大きな第２の安定化容量（５６）が接続される。第１の安定化容量は終端抵抗近傍における電位変化を補償する。第２の安定化容量は終端電源の電源プレーンの遠端における電位変化を補償する。

- 10      本発明の具体的な形態では、前記終端電源の電源プレーンは矩形の実装基板における矩形の角部を包含する形状を有し、前記矩形の角部近傍に前記終端電源の供給端が配置され、前記終端電源の電源プレーンは前記終端電源の供給端（５５）の両側に延在する。ビット間スキュー低減などを考慮すれば並列データの端子は半導体装置の辺の部分に配置するのが望ましいから、半導体送致に終端電源を供給する終端電源の電源プレーンを角部に配置するのは、場所的にその要請と競合しない。
- 15

本発明の更に具体的な形態では、終端処理される前記配線として、複数個の半導体メモリ装置が共通接続されていて分岐を有する一方向配線（５０）に着目する。前記分岐を有する一方向配線は、例えば前記半導体制御装置から複数個の半導体メモリ装置にコマンド及びアドレスを伝達する配線である。信号終端による電圧反射の抑止を最優先にするときは、前記分岐を有する一方向配線には、半導体制御装置を起点とする経路長が長い方の経路に終端抵抗を結合するのがよい。短い方の経路は、集中定数容量とみなされるので、短ければ短い程よい。

- 20
- 25      別の形態として、コマンド及びアドレスは複数ビットの信号であるから終端電源が安定するように終端電源プレーンに対して終端抵抗を分

散配置することが望ましく、これを考慮すると、全て長い方の経路に終  
端抵抗を結合するのが最良とは限らない。そのために、前記配線のうち  
複数個の半導体メモリ装置が共通接続されていて分岐を有する一方向  
配線には、半導体制御装置を起点とする経路長が長い方の経路に終端抵  
5 抗が結合されるもの（L 1～L 4，L 7，L 8）と、短い方の経路に終  
端抵抗が結合されるもの（L 5，L 6）とが混在される。前記短い方の  
経路に終端抵抗が結合された一方向配線における長い方の経路と当該  
短い方の経路との経路長の差の最大値は、前記長い方の経路に終端抵抗  
が結合された一方向配線における短い方の経路と当該長い方の経路と  
10 の経路長の差の最小値以下とされる。これにより、終端電源プレーンに  
対して終端抵抗を分散配置することを考慮しながら、電圧反射による影  
響も最小限に抑え留事ができる。

〔5〕《PLL／DLLクロック配線》更に別の観点による本発明の  
半導体装置は、パッケージ基板に半導体チップが搭載され、前記半導体  
15 チップはフェーズ・ロックド・ループ（PLL）回路又はディレイ・ロ  
ックド・ループ（DLL）回路を有し、前記パッケージ基板は半導体チ  
ップのパッド電極との接続に利用される第1導電層を含む。前記第1導  
電層は、PLL回路又はDLL回路に電源を供給する電源配線（38  
0）と、PLL回路又はDLL回路にクロック信号を供給するクロック  
20 配線（381，382）とを有し、前記電源配線とクロック配線は第1  
導電層における配線の最小間隔寸法よりも大きな間隔で離間される。こ  
れにより、半導体チップのPLL回路又はDLL回路が用いるクロック  
配線とその動作電源配線がパッケージ基板上でカップリングするのを  
抑えることができ、クロックの発振周期に同期するカップリングノイズ  
25 によりPLL回路又はDLL回路の動作電源が揺れてその同期化性能  
が低下してしまう虞を未然に防止することができる。例えばPLL回路

又はD L L回路において同期化性能に大きく影響する電圧制御発振器又は電流制御発振器はその動作電源が変動すればそれによって発振周波数が変動するからである。

本発明の具体的な形態として、前記パッケージ基板は専らグラウンドプレーンに利用される第2導電層と、専ら電源プレーンに利用される第3導電層を有し、前記第3導電層において前記P L L回路又はD L L回路に電源を供給する電源配線はその他の電源プレーンから独立される。他の回路の動作に起因する電源ノイズの影響を受けないようにするためである。

〔6〕《D A C / A D C用独立電源プレーン》本発明の別の観点による半導体装置はパッケージ基板に半導体チップを搭載し、前記半導体チップはディジタル・アナログ・コンバータ（D A C）とアナログ・ディジタル・コンバータ（A D C）の一方又は双方のコンバータを有し、前記パッケージ基板は、半導体チップのパッド電極との接続に利用される第1導電層、グラウンドプレーンに利用される第2導電層、電源プレーンに利用される第3導電層、及び実装基板との接続に利用される第4導電層を含む。前記第3導電層において前記コンバータ用の電源プレーン（396A, 397A）はその他の回路の電源プレーン（38C）から分離される。更に、前記第1導電層には前記コンバータ用の電源プレーンに重なる位置にコンバータ用信号配線（398a, 398b）が形成される。これにより、パッケージ基板上におけるD A C又はA D C用の電源プレーンをその他の回路の電源プレーンと独立させても、当該D A C又はA D C用の電源プレーンが揺れたとき、当該電源プレーンにカップリングするコンバータ用信号配線は同相でレベル変化しようとするので、コンバータの電源変動による変換精度の低下を極力抑えることができる。

本発明の具体的な形態として、前記コンバータが定電流源回路からの定電流をスイッチ（３９１）を介して出力ノードに加算する回路を有するとき、前記第３導電層（Ｌｐ３）に形成されたコンバータ用の電源プレーン（３９６Ａ）は前記定電流源回路（３９０）の電源プレーンとされ、前記スイッチ（３９１）を制御する回路（３９２）の電源プレーン（３９５Ａ）は前記定電流源回路の電源プレーンとは分離して前記第４導電層（Ｌｐ４）に形成される。これにより、前記スイッチに対するスイッチングノイズが定電流源回路の電源に影響を与えないようになり、変換精度の向上に資することができる。この効果を更に確実なものにするには、前記第３導電層に形成されたコンバータ用の電源プレーンと、前記第４導電層に形成された前記スイッチを制御する回路の電源プレーンとを、第４導電層において夫々電氣的に分離された実装基板への接続端端子に別々に結合するのがよい。

〔７〕《ＤＡＣにおける定電流源回路の電源分離》本発明の更に別の観点による半導体装置は、パッケージ基板に半導体チップを搭載し、前記半導体チップはＤＡＣ（３３４）を有し、前記パッケージ基板は、半導体チップのパッド電極との接続に利用される第１導電層、グランドプレーンに利用される第２導電層、電源プレーンに利用される第３導電層、及び実装基板との接続に利用される第４導電層を含む。前記ＤＡＣは定電流源回路（３９０）からの定電流をスイッチ（３９１）を用いて出力ノードに加算する回路を有する。前記半導体チップ（３１）は前記定電流源回路用の第１アナログ電源端子（ＶＣＣＡ）及び第１アナログ接地端子（ＶＳＳＡ）と前記スイッチの制御回路（３９２）用の第２アナログ電源端子（ＶＣＣＡ１）及び第２アナログ接地端子（ＶＳＳＡ１）を夫々別々に持つ。前記第１アナログ接地端子と第２アナログ接地端子は第１導電層に別々に形成されたアナログ接地配線（３９３，３９４）に

接続され、前記夫々のアナログ接地配線は第2導電層のグランドプレーンに共通接続される。前記第1アナログ電源端子と第2アナログ電源端子は第1導電層に形成された夫々に固有のアナログ電源配線(395, 396)から別々の電源プレーン(395A, 396A)を介して第4  
5 導電層の端子に別々に接続する。前記スイッチに対するスイッチングノイズが定電流源回路の電源に影響を与えないようになり、変換精度の向上に資することができる。

#### 図面の簡単な説明

10 第1図は本発明に係る電子回路の縦断面構造の概略を示す断面図である。

第2図はパッケージ基板における第1導電層Lp1の平面的なパターン構成を示す平面図である。

15 第3図はパッケージ基板における第2導電層Lp2の平面的なパターン構成を示す平面図である。

第4図はパッケージ基板における第3導電層Lp3の平面的なパターン構成を示す平面図である。

第5図はパッケージ基板における第4導電層Lp4の平面的なパターン構成を示す平面図である。

20 第6図はパッケージ基板の第4導電層Lp4から表面に露出する半田ボール電極の配列を示す平面図である。

第7図は電子回路の一例としてカーナビゲーションシステムを例示するブロックダイアグラムである。

25 第8図は並列データのビット間スキューを低減するための等長配線構造を例示する説明図である。

第9図は第8図の比較例を示す説明図である。

第 1 0 図は複数個の S D R A M のコマンド端子やアドレス端子に接続する一方向配線の終端処理の一例を示す説明図である。

第 1 1 図は第 1 0 図における D R A M ( # 1 ) の入力端子で観測される信号波形のシミュレーション結果である。

5 第 1 2 図は第 1 0 図における D R A M ( # 4 ) の入力端子で観測される信号波形のシミュレーション結果である。

第 1 3 図は終端電源プレーンに対する S D R A M 及び終端抵抗などの配置例を例示する平面図である。

10 第 1 4 図は第 1 の安定化容量と第 2 の安定化容量の電氣的接続形態を例示する回路図である。

第 1 5 図は 2 個の S D R A M 4 を接続するアドレス配線に対する終端処理結果を例示する回路図である。

15 第 1 6 図は実装基板の表裏面に 2 個ずつ S D R A M 4 を実装したときの電源プレーンに対する S D R A M 及び終端抵抗などの配置を例示する平面図である。

第 1 7 図は導電層 L m 2 のグランドプレーンを貫通するビアの状態を例示する説明図である。

第 1 8 図は導電層 L m 3 の電源プレーンを貫通するビアの状態を例示する説明図である。

20 第 1 9 図は第 1 7 図及び第 1 8 図に対応される導電層 L m 1 の電源配線とグランド配線の状態を例示する説明図である。

第 2 0 図は導電層 L m 2 のグランドプレーンを貫通するビアの状態に関する変形例を示す説明図である。

25 第 2 1 図は導電層 L m 2 のグランドプレーンを貫通するビアの状態に関する変形例を示す説明図である。である。

第 2 2 図は第 2 0 図及び第 2 1 図に対応される導電層 L m 1 の電源

配線とグランド配線の状態を例示する説明図である。

第 2 3 図は第 3 導電層  $L_{m3}$  の電源プレーン分割態様を例示する説明図である。

5 第 2 4 図は実装基板の第 1 導電層におけるビアとの別の接続状態を例示する平面図である。

第 2 5 図は実装基板の第 2 導電層におけるビアとの別の接続状態を例示する平面図である。

第 2 6 図は実装基板の第 3 導電層におけるビアとの別の接続状態を例示する平面図である。

10 第 2 7 図は実装基板の第 4 導電層におけるビアとの別の接続状態を例示する平面図である。

第 2 8 図は参照電位  $V_{ref}$  を基準に判定動作を行なう判定回路を例示する回路図である。

15 第 2 9 図は第 3 導電層  $L_{p3}$  において参照電位  $V_{ref}$  用の電源プレーンのレイアウト形態を示す平面図である。

第 3 0 図は参照電位配線 3 8 g 近傍の縦断面構造の概略を示す断面図である。

20 第 3 1 図は入力信号  $I_N$  に対する判定基準電圧である参照電位  $V_{ref}$  が変動するとき判定結果信号  $O_{UT}$  のタイミングマージンが変化することを示すための説明図である。

第 3 2 図は  $C_{PG}$  の一例を示すブロック図である。

第 3 3 図は  $P_{LL}$  の基本回路ユニットを例示するブロック図である。

第 3 4 図はプロセッサチップの  $C_{PG}$  に動作電源を供給するパッケージ基板上の電源配線の縦断面構造を例示する断面図である。

25 第 3 5 図は第 1 導電層  $L_{p1}$  において  $D_{LL}$  回路に電源を供給する電源配線とクロック配線との平面的な配置関係を例示する平面図であ

る。

第 36 図は第 3 導電層 Lp3 において PLL 回路に電源を供給する電源配線の平面的な配置関係を例示する平面図である。

第 37 図は DAC の要部を例示する回路図である。

5 第 38 図は第 1 導電層 Lp1 における DAC、ADC の電源配線パターンを例示する平面図である。

第 39 図は VCCA1 専用のビアが接続される第 4 導電層 Lp4 における電源プレーンを示す平面図である。

10 第 40 図は DAC の VCCA 専用のビアが接続される第 3 導電層 Lp3 における電源プレーンを示す平面図である。

第 41 図は DDR-SDRAM の第 1 のクロックインタフェース仕様を例示する説明図である。

第 42 図は DDR-SDRAM の第 2 のクロックインタフェース仕様を例示する説明図である。

15

発明を実施するための最良の形態

#### 《電子回路の実装基板とパッケージ構造の概略》

20 第 1 図には本発明に係る電子回路の一例が示される。同図に示される電子回路 1 は、実装基板 2 に第 1 の半導体装置としてデータプロセッサ 3 と、第 2 の半導体装置として SDRAM 4 を有する。特に図示はしないが、SDRAM 4 は複数個搭載されている。

25 前記データプロセッサ 3 は、例えば BGA パッケージ構造を有するパッケージ基板 30 とその上に搭載されたプロセッサチップ 31 を有し、表面が封止用樹脂 32 で保護されて構成される。SDRAM 4 は特に制限されないが SOP (Small Outline Package) のようなフラットパッケージに SDRAM チップが封止されて構成される。プロセッサチップ



31及び図示を省略するSDRAMチップは、特に制限されないが、相補型MOS（CMOS）集積回路製造技術により、単結晶シリコンなどの1個の半導体基板に形成される。

5 前記パッケージ基板30は、多層配線基板構造を有し、例えばガラス繊維布を基材としエポキシ樹脂を含浸させた絶縁基板に、プロセッサチップ31のパッド電極との接続に利用される配線等が形成された第1導電層Lp1、グラウンドプレーンに利用される第2導電層Lp2、電源プレーンに利用される第3導電層Lp3、及び実装基板2との接続に利用される配線等が形成された第4導電層Lp4を含む。プロセッサチップ31のボンディングパッドと第1導電層Lp1の対応配線との結合は代表的に示されたボンディングワイヤ33で行われる。第4導電層Lp4の配線には溶剤ボール電極として代表的に示された半田ボール電極34A～34Cが配置され、実装基板2の対応配線との結合に利用される。

15 前記導電層Lp1～Lp4の配線を層間で接続するには、内面に導電メッキが施されたスルーホール又はビアホール（単にビアとも記す）が用いられる。代表的に示されたビア35Aは第2導電層Lp2のグラウンドプレーンおよび第3導電層Lp3の電源プレーンを非接触で貫通して第1導電層Lp1の所定の信号配線を第4導電層Lp4の所定の信号配線を介して対応する半田ボール電極34Aに導通させる。代表的に示されたビア35Bは第1導電層Lp1のグラウンド配線を第2導電層Lp2のグラウンドプレーンに導通させ且つ第3導電層Lp3の電源プレーンを非接触で貫通し第4導電層Lp4の所定配線を介して半田ボール電極34Bに導通させる。代表的に示されたビア35Cは第2導電層Lp2のグラウンドプレーンを非接触で貫通し第1導電層Lp1の電源配線を第3導電層Lp3の電源プレーンに接続し第4導電層Lp4

の所定配線を介して半田ボール電極 3 6 C に導通させる。

前記実装基板 2 は、多層配線基板構造を有し、例えばガラス繊維布を  
基材としエポキシ樹脂を含浸させた絶縁基板に、データプロセッサ 3 や  
S D R A M 4 などを搭載するための第 1 層目の配線パターンなどが形  
5 成された第 1 導電層 L m 1、グランドプレーン等を利用される第 2 導電  
層 L m 2、電源プレーン等を利用される第 3 導電層 L m 3、第 2 層目の  
配線パターンなどが形成された第 4 導電層 L m 4、および S D R A M 4  
の終端電源プレーンに利用される第 5 導電層 L m 5 を含む。前記導電層  
L m 1 ~ L m 5 の配線を層間で接続するには、内面に導電メッキが施さ  
10 れたスルーホール又はビアホール（単にビアとも記す）が用いられる。  
代表的に示されたビア 2 0 A は第 2 導電層 L m 2 のグランドプレーン  
および第 3 導電層 M L 3 の電源プレーンを非接触で貫通して第 1 導電  
層 L m 1 の所定の信号配線を第 4 導電層 L m 4 の所定の信号配線に導  
通させる。代表的に示されたビア 2 0 B は第 1 導電層 L m 1 のグランド  
15 配線を第 2 導電層 2 0 2 のグランドプレーンに導通させ且つ第 3 導電  
層 L m 3 の電源プレーンおよび第 4 導電層 L m 4 の配線を非接触で貫  
通する。代表的に示されたビア 2 0 C は第 2 導電層 L m 2 のグランドプ  
レーンおよび第 4 導電層 L m 4 の配線を非接触で貫通し第 1 導電層  
L m 1 の電源配線を第 3 導電層 L m 3 の電源プレーンに接続する。

20 第 2 図にはパッケージ基板 3 0 における第 1 導電層 L p 1 の平面的  
なパターン構成が示される。3 6 a で示される部分にプロセッサチップ  
3 1 が搭載される。3 6 b で示される部分はプロセッサチップ 3 1 にお  
けるグランド電位のボンディングパッドにワイヤボンディングされる  
領域になる。3 6 c、3 6 d、3 6 e など示される部分はプロセッサ  
25 チップ 3 1 における複数種類の電源電圧のボンディングパッドにワイ  
ヤボンディングされる領域になる。3 6 f で示される部分はプロセッサ

チップ 3 1 における各種信号に固有のボンディングパッドにワイヤボンディングされる領域になる。3 6 g は信号配線、3 6 h はビアが通る領域である。3 9 w、3 9 x で示される配線はパッケージ基板のボンディングパッド 3 6 5 に電解金メッキを施す際に、前記ボンディングパッド 3 6 5 にカソード電位を供給するための配線（メッキ給電用配線）を示している。

第 3 図にはパッケージ基板 3 0 における第 2 導電層 L p 2 の平面的なパターン構成が示される。概略全面にグランド電位供給用パターンが敷設されている。3 7 a は前記ビアが電氣的に接触して貫通する領域、3 7 b はビアが電氣的に非接触で貫通する領域である。

第 4 図にはパッケージ基板 3 0 における第 3 導電層 L p 3 の平面的なパターン構成が示される。プロセッサチップ 3 1 の電源電圧は、特に制限されないが、3 . 3 V のような電圧の外部インタフェース電源、2 . 5 V のような電圧の S D R A M とのインターフェース用電源、1 . 2 V のような電圧のデジタル用内部回路（コア）電源とされる。3 8 c は外部インタフェース用電源の領域、3 8 e は S D R A M とのインターフェース用電源の領域、3 8 d はデジタルコア電源の領域とされる。

第 5 図にはパッケージ基板 3 0 における第 4 導電層 L p 4 の平面的なパターン構成が示される。3 9 y、3 9 z で示される配線はパッケージ基板のボンディングパッド 3 6 5 に電解金メッキを施すためのメッキ給電用配線を示している。第 5 図において 3 9 9 A で示される導電パターンはデジタルコア電源である。また、3 9 9 B で示される導電パターンはグランド電位供給用パターンである。

第 6 図にはパッケージ基板 3 0 の第 4 導電層 L p 4 から表面に露出する半田ボール電極の配列が示される。白丸（○）及び二重白丸（◎）の記号は信号用半田ボール電極を意味する。特に二重白丸の記号は S D

R A M 4 用への差動クロック出力端子となる。×記号に黒丸（●）を重ねた記号はグラウンド電位の半田ボール電極である。四角記号（□）に黒丸（●）を重ねた記号は 2 . 5 V のような電圧の S D R A M 4 とのインターフェース回路用電源の半田ボール電極、白丸（○）に黒丸（●）を重ねた記号は 1 . 2 V のような電圧のデジタルコア電源用半田ボール電極、単なる黒丸（●）記号は 3 . 3 V のような電圧の外部インタフェース電源用の半田ボール電極である。第 6 図より明らかなように、半田ボール電極はパッケージ基板 3 0 に 5 列で環状に配置され、チップのコーナ部及び最内周の半田ボール電極に電源電位及びグラウンド電位供給機能を割り当て、一列に並んだ辺に沿った部分の半田ボール電極には信号入出力機能を割り当てている。

#### 《電子回路のブロックダイアグラム》

第 7 図には電子回路の一例としてカーナビゲーションシステムのブロックダイアグラムが示される。前記データプロセッサ 3 は、地図データの描画制御、表示制御、音声案内制御、ビデオデータ入力など、カーナビゲーションに必要なデータ処理を行なうシステムオンチップの 1 チップマイクロコンピュータとして位置付けられる。

前記データプロセッサ 3 は、C P U (Central Processing Unit) 3 0 2 を内蔵し、C P U 3 0 2 が接続する第 1 バス 3 0 3 には、バスブリッジ回路 (B B R G) 3 0 4、ダイレクトメモリアクセスコントローラ (D M A C) 3 0 5、3 次元画像の描画処理などの 3 次元画像処理を行う 3 次元画像処理部としての 3 D グラフィックスモジュール (3 D G F I C) 3 0 6、クロックパルスジェネレータ (C P G) 3 4 3 及びメモリインタフェース回路 (M R Y I F) 3 0 7 が接続される。前記バスブリッジ回路 3 0 4 には更に第 2 バス 3 1 0、第 3 バス 3 1 1、第 4 バス 3 1 2 及び外部バス 3 1 3 に接続される。前記メモリコントローラ 3 0 5

には更に3D専用バス314が接続される。

メモリインタフェース回路307にはメモリバス316を介して外部メモリとして前記SDRAM4が接続される。SDRAM4は例えばCPU302が使用するためのメインメモリ、さらにはフレームバッファ等の画像メモリとして利用される。メモリインタフェース回路307はバスアービトレーションとメモリ制御を行う。バスアービトレーションはバス303, 310, 314を介する外部メモリアクセスの競合を調停する制御であり、バスアービタ(ARBT)318で行う。メモリ制御は、バスを介するアクセス要求にしたがって第41図に記載されているように、DDR-SDRAM仕様であり、クロック信号の立ち上り及び立ち下がりに同期してSDRAM4をリード又はライト動作させるストロブ信号などのタイミング信号を形成してSDRAM4を動作させる制御であり、メモリコントロールロジック(MCNT)319で行う。

前記3D専用バス314に接続される3Dグラフィックスモジュール306は第1バス303を介してCPU302から3D描画コマンドなどの画像処理コマンドを受取って3D描画処理を行う。描画はSDRAM4のフレームバッファ領域に対して行なわれる。

第2バス310には第1回路モジュールとして、2次元画像処理部としての2Dグラフィックスモジュール(2DGFIC)320、ビデオ信号入力回路(VDOIN)321、表示制御回路(DU)322、及びATアタッチメントパッケージインタフェース回路(ATAPI)323等が接続される。前記2Dグラフィックスモジュール320は2次元画像の描画処理などの2次元画像処理を行う回路であり、例えば太線描画機能も備える。描画はSDRAM4のフレームバッファ領域に対して行なわれる。表示制御回路322はSDRAM4のフレームバッファ領域

に描画された画像データを順次読み出して、ラスタスキャン型のディスプレイ 3 2 5 に表示タイミングに同期させて出力する制御を行う。ビデオ信号入力回路 3 2 1 はデジタルビデオ信号を入力する。デジタルビデオ信号はテレビ信号などのアナログビデオ信号をコード化して出力する N T S C (National Television System Committee) デコーダ (N T C D E C) 3 2 6 から出力される。A T A P I 3 2 3 はハードディスクドライブ、D V D 又は C D - R O M ドライブ等のディスクドライブ装置 (D D R V) 3 2 7 に接続され、D V D 又は C D - R O M 等の記録媒体から記録情報を読取って取り込むためのインタフェース制御を行う。

10 ナビゲーションシステムにおいて D V D や C D - R O M には地図データなどが記録されている。

第 4 バス 3 1 2 には 2 D グラフィックスモジュール 3 2 0、ビデオ信号入力回路 3 2 1、及び表示制御回路 3 2 2 が接続される。

第 3 バス 3 1 1 には第 2 回路モジュールとして、S P D I F 準拠の音声データ入出力インタフェース (S P D I F) 3 3 0、デジタル・アナログ・コンバータ (D A C) 3 3 4、G P S (Global Positioning System) 用のベースバンド処理部 (G P S B B) 3 3 1、調歩同期シリアルコミュニケーションインタフェース回路 (S C I F) 3 3 2 及びタイマ (T M U) 3 3 3 などが接続される。S P D I F 3 3 1 には音声用の D A C 3 3 4 が接続され、変換されたアナログ音声信号はスピーカ 3 3 5 で音声に変換される。G P S B B 3 3 1 は G P S 用の高周波部 (G P S R F) 3 3 6 が接続され、アンテナモジュールを介して人工衛星に電波を反射させて、衛星の捕捉演算処理などを行う。

15

20

外部バス 3 1 3 にはナビゲーション用のプログラム及び制御データ等を格納する電氣的に書換え可能なフラッシュメモリ (F L A S H) 3 3 7 及び C P U 3 0 2 のワークメモリなどに利用されるスタティック

25

ランダムアクセスメモリ（SRAM）338などが接続される。尚、マルチCPUシステムを構成する場合には、図示はしないが、外部バス313に更に別のプロセッサを接続することが可能である。

5 前記CPU302は例えば32ビットCPUでありデータ処理単位は32ビットとされる。このCPU302は1サイクルで複数の命令を発行するスーパースカラ構造を有することにより、動作周波数の約2倍の命令処理実行能力を有する。即ち、CPU302は所謂2ウェイ・スーパースカラ構造を有する。これに呼応して前記第1バス303は64ビットバスとされる。したがって、CPU302は並行に2命令を実行して夫々32ビットのデータを2組用意し、用意された合計64ビットの2組のデータを1バスサイクルで第1バス303へ転送可能である。また、CPU302は1バスサイクルで第1バス303から64ビットのデータをリードし、リードした下位32ビットと上位32ビットを別々に並行して演算処理することも可能にされる。

15 前記SDRAM4は、特に制限されないが、公知のMOS半導体集積回路製造技術によって単結晶シリコンのような一つの半導体基板に形成されている。SDRAM4は、マトリクス配置されたダイナミック型のメモリセルを備え、メモリセルの選択端子はワード線に結合され、メモリセルのデータ入出力端子はビット線に結合され、ビット線はセンスアンプを中心とした折り返しビット線構造による相補ビット線とされる。

20 ワード線はロウアドレス信号にて選択され、ビット線はコラムアドレス信号にて選択される。センスアンプは、メモリセルからのデータ読出しによって夫々の相補ビット線に現れる微小電位差を検出して増幅する。相補ビット線はコラムアドレス信号のデコード信号でスイッチ制御されるコラム選択回路を介して共通データ線に導通される。共通データ線にはリードアンプとライトアンプが結合され、読み出し動作ではセ

25

ンスアンプの出力がリードアンプで増幅されて、データ出力回路から外部に出力される。書き込み動作ではライトアンプがデータ入力回路から入力される書き込みデータにしたがって相補ビット線を駆動してメモリセルにデータを書き込む。前記データ入力回路の入力端子と前記データ出力回路の出力端子は、特に制限されないが、16ビットのデータ入出力端子DQ0～DQ15に結合される。

SDRAM4は、特に制限されないが、15ビットのアドレス入力端子A0～A14を有し、アドレスマルチプレクス形態でロウアドレス信号とカラムアドレス信号が供給される。SDRAMは制御回路を有し、特に制限されないが、クロック信号CLK、/CLK（記号“/”はそれが付された信号がローインネーブルの信号又はレベル反転信号であることを意味する）、クロックインネーブル信号CKE、チップセレクト信号/CS、カラムアドレスストロブ信号/CAS、ロウアドレスストロブ信号/RAS、ライトインネーブル信号/WE、及びデータストロブ信号DQSなどの外部制御信号が入力される。SDRAM4の動作はそれら入力信号の状態の組み合わせによって規定されるコマンドで決定され、制御回路は、そのコマンドで指示される動作に応じた内部タイミング信号を形成するための制御ロジックを有する。

クロック信号CLK、/CLKはSDRAMのマスタクロックとされ、その他の外部入力信号は当該クロック信号CLKの立ち上がりエッジに同期して有意とされる。前記データストロブ信号DQSは書き込み動作時にライトストロブ信号として外部から供給される。即ち、クロック信号CLKに同期して書き込み動作が指示されたとき、その指示が行われた前記クロック信号周期の後のクロック信号周期からのデータストロブ信号DQSに同期するデータの供給が規定されている。読み出し動作時には前記データストロブ信号DQSはリードストロブ信



号として外部に出力される。即ち、データの読み出し動作では読み出しデータの外部出力に同期してデータストロープ信号が変化される。そのためにDLL (Delayed Lock Loop) 回路及びDQS出力バッファが設けられている。DLL回路は、SDRAM4が受ける

5 クロック信号CLKとデータ出力回路によるデータの出力タイミングを同期させるために、データ出力動作制御用のクロック信号（リード動作時におけるデータストロープ信号DQSと同相の制御クロック信号）の位相を整えるものである。DLL回路は、特に制限されないが、レプリカ回路技術と、位相同期技術とによって、内部回路の信号伝播遅

10 延時間特性を補償し得る内部クロック信号を再生し、これにより、内部クロック信号に基づいて出力動作されるデータ出力回路は、外部クロック信号CLKに確実に同期したタイミングでデータを出力することが可能とされる。DQSバッファは前記内部クロック信号と同相でデータストロープ信号DQSを外部に出力する。

15      ロウアドレス信号は、クロック信号CLKの立ち上がりエッジに同期する後述のロウアドレスストロープ・バンクアクティブコマンド（アクティブコマンド）サイクルにおけるアドレス入力端子A0～A12のレベルによって定義される。前記カラムアドレス信号は、クロック信号CLKの立ち上がりエッジに同期する後述のカラムアドレス・リードコマンド（リードコマンド）サイクル、カラムアドレス・ライトコマンド（ライトコマンド）サイクルにおける端子A0～A11のレベルによって定義される。前記ロウアドレスストロープ・バンクアクティブコマンドは、ロウアドレスストロープの指示などを有効にするコマンドであり、 $\text{／CS}$ 、 $\text{／RAS}$ ＝ローレベル（“0”）、 $\text{／CAS}$ 、 $\text{／WE}$ ＝ハイレベル

20      （“1”）によって指示され、このときA0～A12に供給されるアドレスがロウアドレス信号とされ、A13，A14に供給される信号がメ

25

メモリバンクの選択信号として取り込まれる。カラムアドレス・リードコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストロブの指示を与えるコマンドであり、 $\text{CS}$ 、 $\text{CAS}$ 、 $\text{WE}$ ＝ローレベル、 $\text{RAS}$ 、 $\text{WE}$ ＝ハイレベルによって指示され、このとき  $A_0 \sim A_{11}$  に供給されるアドレスがカラムアドレス信号として取り込まれる。その他に、カラムアドレス・ライトコマンド、プリチャージコマンド、セルフリフレッシュエントリコマンドなどがある。SDRAM4は、クロック信号CLKに同期するデータストロブ信号DQSの立ち上がり及び立ち下がりの両エッジに同期したデータ入出力が可能にされ、クロック信号CLKに同期してアドレス、制御信号を入出力できるため、DRAMと同様の大容量メモリをSRAMに匹敵する高速で動作させることが可能であり、また、選択された1本のワード線に対して幾つのデータをアクセスするかをバーストレンジによって指定することによって、内蔵カラムアドレスカウンタで順次カラム系の選択状態を切換えていって複数個のデータを連続的にリード又はライトすることも可能である。

#### 《並列データのビット間スキュー低減》

第8図にはSDRAMの端子DQ0～DQ15のような並列データのビット間スキューを低減するための等長配線構造が例示される。前述のように5列で環状に配置された半田ボール電極の内、パッケージ基板の辺の部分の半田ボール電極には信号入出力機能が割当てられ、例えば351～354はSDRAMの端子DQ0～DQ3に対応して接続されるデータ入出力用の半田ボール電極（ここでは図示しない）近傍に設置されたスルーホールとされる。前記SDRAM4の端子DQ0～DQ3からデータプロセッサ3の前記半田ボール電極351～354までの実装基板配線201～204の長さがビット毎に不等長であり、前記

データプロセッサ 3 の半田ボール電極 3 5 1 ~ 3 5 4 からプロセッサチップ 3 1 のボンディングパッドに至る組立て用配線（パッケージ配線）3 6 1 ~ 3 6 4 の長さがビット毎に不等長であり、このとき、前記実装基板配線 2 0 1 ~ 2 0 4 の不等長は前記組立て用配線 3 6 1 ~ 3 6 4 の不等長を相殺する関係を有する。不等長を相殺するとは、組み立て用配線の長さが不等長である場合に、組み立て用配線と、それぞれ対応する実装基板配線との長さの和がより等長に近づくことを示す。すなわち、各組立て用配線と、対応する各実装基板配線との長さの和を、データバスのビット毎の配線全体の長さとした場合に、前記ビット毎の配線全体の長さの差が、組み立て用配線におけるビット毎の配線長さの差に比較して小さくなっていると言い換えることもできる。

第 8 図では組立て用配線の一部であるボンディングワイヤは図示を省略してある。ボンディングワイヤは組立て基板 3 0 上のボンディングパッド 3 6 5 からプロセッサチップ 3 1 のボンディングワイヤを接続している。前記配線の不等長につき、具体的には、パッケージ基板内の組立て用配線 3 6 1 ~ 3 6 4 の不等長は半田ボール電極 3 5 1 ~ 3 5 4 の列方向ピッチの整数倍となる。これに応じて、実装基板 2 上の実装基板配線 2 0 1 ~ 2 0 4 も前記列方向ピッチの整数倍の相違をもって不等長に設定されればよい。不等長の意義は、これに限るものではないが、データプロセッサ 3 と実装基板 2 の双方において、半田ボール電極の列方向ピッチの整数倍、という共通概念で統一されている。他のデータ入出力端子などに対しても同様に構成される。

上記によれば、データプロセッサ 3 の半田ボール電極 3 5 1 ~ 3 5 4 のような外部端子とそのプロセッサチップ 3 1 の対応ボンディングパッドとの間を等長にすることを要しない。そのデータプロセッサ 3 を実装する実装基板 2 を設計・製造するときは、そのデータプロセッサ 3 の

不等長の内容にしたがって、その不等長を相殺するように実装基板 2 上でデータプロセッサ 3 と S D R A M 4 とを接続する配線を不等長にすればよい。実装基板上 3 の配線をどの程度不等長にするかは予め配線長補正方法を明らかにしておけばよい。例えば最内周に配置された半田バンプ電極に接続する配線長は、最内周から 2 周目に配置された半田バンプ電極に接続する配線長よりも  $\alpha$  mm 長く、最内周から 3 周目に配置された半田バンプ電極に接続する配線長よりも  $2\alpha$  mm 長く、最内周から 4 周目に配置された半田バンプ電極に接続する配線長よりも  $3\alpha$  mm 長くというように定義しておけばよい。前記  $\alpha$  は例えば半田バンプ電極の配列ピッチである。したがって、第 9 図の比較例に示されるように、データプロセッサ内において、更には実装基板上において、夫々配線を等長にするために途中で屈曲させたりする合わせ込みを行なうことを要しない。屈曲による配線領域も増えずに手間無く並列アクセスデータのビット間スキューを低減することができる。これによりシステムの動作速度が高速化されても、データプロセッサはデータストローブ信号 D Q S の変化に同期して複数個の S D R A M 4 から出力される数十ビットの並列データを誤り無く取込み可能になる。

尚、ここでは S D R A M 4 はその外部端子から半導体チップの接続電極に至る組立て用配線の長さが等長とされるものとしているが、別のパッケージ構造を採用する場合にその外部端子から半導体チップの接続電極に至る組立て用配線の長さが不等長であるときは、その不等長も加味して実装基板配線の不等長を決定すればよい。

#### 《分岐を有する一方向配線の終端処理》

図 10 には複数個の S D R A M 4 のコマンド端子やアドレス端子に接続する一方向配線の終端処理の一例が示される。実装基板 2 上の信号配線はその特性インピーダンスにしたがって終端抵抗で終端電源 ( $V_t$

5      ｔ）に結合され、不所望な電圧反射によるノイズが抑えられている。例えば夫々のＳＤＲＡＭ４のデータ端子ＤＱ０～ＤＱ１５は夫々固有の信号配線を介してビット対応でデータプロセッサ３の対応するデータ端子に接続される。したがってそのような信号配線に対する終端処理は

10      ＳＤＲＡＭ近傍から配線を分岐し、終端抵抗を介してＶｔｔに結合すればよい。データ端子の接続はＳＤＲＡＭ４が並列アクセスされる利用形態においてもビット毎に固有の接続になるが、ＳＤＲＡＭ４の／ＲＡＳ、／ＣＡＳなどのコマンド入力端子や、Ａ０～Ａ１４などのアドレス入力端子は、複数個のＳＤＲＡＭ４に共通接続される。例えば４個のＳＤＲ

15      ＡＭ（＃１）４～ＳＤＲＡＭ（＃４）４が分散配置されるとき、そのアドレス端子Ａ０はデータプロセッサの対応アドレス出力端子に共通接続される。実装基板上でそのような配線５０は、分岐を有する一方向配線となる可能性が高い。その場合の終端処理において、信号終端による電圧反射の抑止を最優先にすることは、前記分岐を有する一方向配線５

20      ０には、データプロセッサ３を起点とする経路長が長い方の経路に終端抵抗Ｒｔを結合するのがよい。短い方の経路は、集中定数容量とみなされるので、短ければ短い程よい。

第１１図には第１０図におけるＤＲＡＭ（＃４）の入力端子で観測される信号波形のシミュレーション結果である。太線波形はＳＤＲＡＭ

25      （＃４）側の長い方の経路を終端させた場合、細線波形はＳＤＲＡＭ（＃１）側の短い方の経路を終端させた場合である。長い方の経路を終端させた太線波形の方がオーバーシュートのようなノイズが大幅に小さいことが解る。また、Ｈｉｇｎレベルに安定するまでの時間が短く、タイミングマージンが大きい。

第１２図には第１０図におけるＤＲＡＭ（＃１）の入力端子で観測される信号波形のシミュレーション結果である。太線波形はＳＤＲＡＭ

(#4)側の長い方の経路を終端させた場合、細線波形はSDRAM(#1)側の短い方の経路を終端させた場合である。長い方の経路を終端させたときでも、オーバーシュートのようなノイズがほとんど変化ないことが解る。また、Hignレベルに安定するまでの時間が短く、タイミングマージンが大きい。

第13図には終端電源プレーン51に対するSDRAM及び終端抵抗などの配置例が示される。SDRAM4のデータ入出力端子、コマンド及びアドレス端子の合計ビット数は比較的多く、しかもそれら端子の状態は並列的に変化されるから、終端抵抗(総称するときは符号Rtを付す)に接続する終端電源Vttは比較的大きな電流供給能力が必要であって、安定的であることが必要になる。この観点よりLm5の終端電源プレーン51に対してSDRAM4を分散配置し、前記終端電源プレーン51に、データ用配線に接続する終端抵抗52、コマンド及びアドレスなどの配線に接続する終端抵抗53、更に前記終端抵抗近傍に配置された第1の安定化容量54が夫々複数個分散して結合される。終端抵抗52はデータ端子DQ0~DQ15に接続する配線の終端用であり、対応するSDRAM4の直近に配置される。終端抵抗53はコマンド及びアドレス端子に接続する分岐を有する一方向配線の終端用であり、終端電源プレーンの端に配置される。第1の安定化容量54は不所望なインダクタンス成分を生じないように寄生インダクタンス成分の小さな容量素子とされる。更に、前記終端電源プレーン51には終端電源を供給する供給端55に対して当該電源プレーンの遠端部に前記第1の安定化容量54よりも大きな第2の安定化容量56が接続される。第1の安定化容量54は終端抵抗Rt近傍における電位変化を補償する。第2の安定化容量56は終端電源プレーン51の遠端における電位変化を補償する。

第 1 3 図では前記終端電源プレーン 5 1 は矩形の実装基板 2 における矩形の角部を包含する形状を有し、前記矩形の角部近傍に前記終端電源  $V_{tt}$  の供給端 5 5 が配置され、前記終端電源  $V_{tt}$  の電源プレーン 5 1 は前記終端電源  $V_{tt}$  の供給端 5 5 の両側に延在する。上述よりビット間スキュー低減などを考慮すれば S D R A M 4 の D Q 0 ~ D Q 1 5 のような並列データの端子はデータプロセッサ 3 の辺の部分に配置するのが望ましいから、終端電源  $V_{tt}$  を供給する終端電源プレーン 5 1 を角部に配置するのは、場所的にその要請と競合しない。

第 1 4 図には第 1 の安定化容量 5 4 と第 2 の安定化容量 5 6 の電氣的接続状態形態が例示される。第 1 の安定化容量 5 4 は 4 個の終端抵抗に 1 個の割合で配置し、半分は電源電圧  $V_{dd}$  に、残り半分は接地電位 G N D に接続すればよい。第 2 の安定化容量 5 6 は、終端電源プレーン 5 1 の片側で夫々終端電圧  $V_{tt}$  と電源電圧  $V_{dd}$  との間、終端電圧  $V_{tt}$  と接地電位 G N D との間に接続して配置すればよい。

第 1 0 図に基づいて説明した上記終端処理に関し別の観点を加味することができる。即ち、コマンド及びアドレスは複数ビットの信号であるから終端電源が安定するように終端電源プレーンに対して終端抵抗を分散配置することが望ましい。これを考慮すると、全て長い方の経路に終端抵抗を結合するのが最良とは限らない。そのために、前記配線のうち複数個の S D R A M 4 が共通接続されていて分岐を有する一方向配線には、データプロセッサ 3 を起点とする経路長が長い方の経路に終端抵抗が結合されるものと、短い方の経路に終端抵抗が結合されるものとが混在される。前記短い方の経路に終端抵抗が結合された一方向配線における長い方の経路と当該短い方の経路との経路長の差の最大値は、前記長い方の経路に終端抵抗が結合された一方向配線における短い方の経路と当該長い方の経路との経路長の差の最小値以下とされる。例え

ば第 15 図のように 2 個の SDRAM 4 を接続するアドレス配線について考えれば、アドレス配線 AL 1 ~ AL 4、AL 7、AL 8 にはアドレス出力バッファからの距離が長い方の分岐経路に終端抵抗が結合され、アドレス配線 AL 5、AL 6 にはアドレス出力バッファ ABUF からの距離が短い方の分岐経路に終端抵抗が結合される。ここで、前記短い方の経路に終端抵抗が結合されたアドレス配線 AL 5、AL 6 における長い方の経路と当該短い方の経路との経路長の差の最大値 La がアドレス配線 AL 5 における長短経路差であり、前記長い方の経路に終端抵抗が結合されたアドレス配線 AL 1 ~ AL 4、AL 7、AL 8 における短い方の経路と当該長い方の経路との経路長の差の最小値 Lb がアドレス配線 AL 7 における長短経路差 Ld であるとする、前記最大値 La は最小値 Lb 以下とされる。要するに、AL 5 のように短い方の経路を終端させたとき当該 AL 5 の長い経路で生ずるノイズは AL 7 のように長い方の経路を終端させたとき当該 AL 7 の短い経路で生ずるノイズを超えないようにされることが保証される。したがって、終端電源プレーン 51 に対して終端抵抗を分散配置することを考慮しながら、電圧反射による影響も最小限に抑える事ができる。

第 16 図には実装基板 2 の表裏面に 2 個ずつ SDRAM 4 を実装したときの電源プレーン 51 に対する SDRAM 及び終端抵抗などの配置例が示される。図 13 同様に、終端電源プレーン 51 の遠端に第 2 の安定化容量 56 が配置され、SDRAM 4 の近傍に第 1 の安定化容量 53 と終端抵抗 54 が分散配置される。

#### 《実装基板上 VCC(VSS)プレーンの分断防止》

第 1 図で説明したように多層配線構造の実装基板 2 はシールド等の観点より導電層 Lm1 と Lm4 の間の導電層 Lm2, Lm3 にはグランドプレーンや電源プレーンが形成され、導電層間を接続する多数のビア



ホールやスルーホールがグランドプレーンや電源プレーンを非接触で貫通する。特に、その実装基板 2 に搭載されるデータプロセッサ 3 は第 6 図に例示されるように BGA パッケージ構造に代表されるように半田ボール電極が複数列で環状に配置された外部インタフェース端子を有し、しかもその配置は狭ピッチであるから、導電層 L m 2 , L m 3 のグランドプレーンや電源プレーンには半田ボール電極が結合されたランドに接続されるビアホールやスルーホールの非接触貫通孔が環状に多数形成される。それら多数の貫通孔の環状配列の外周部分と内周部分との間での電流経路が実質的に狭くなったり、必要な電流供給能力を得ることが出来なくなったりする事態を生ずることのないように、実装基板 2 には以下の構成を採用する。

第 17 図には導電層 L m 2 のグランドプレーンを貫通するビアの状態が例示され、第 18 図には導電層 L m 3 の電源プレーンを貫通するビアの状態が例示される。

第 17 図において、210 で示される領域はビアが貫通する領域（ビア貫通領域）を総称する。黒丸（●）は接触するビアを示し、白丸（○）は非接触で貫通するビアを示す。グランドプレーンに対して信号用のビア 20A 及び電源供給用のビア 20C が非接触で貫通し、グランド電位供給用のビア 20B が接触する。その領域 210 において、前記グランドプレーンは、213 で示されるようにビアが貫通されていない特定領域を有し、前記特定領域 213 はデータプロセッサ 3 に配列された外部端子としての半田ボール電極 34 の 1 ピッチ以上の幅を有する。これにより、グランドプレーンにビアの非接触貫通孔が環状に多数形成されて環状貫通孔の外周部分と内周部分との間での電流経路が実質的に狭くなることを抑止することができる。

第 18 図において、220 で示される領域はビアが貫通する領域（ビ

ア貫通領域)を総称する。黒丸(●)は接触するビアを示し、白丸(○)は非接触で貫通するビアを示す。電源プレーンに対して信号用ビア20A及びグランド電位供給用のビア20Bが非接触で貫通し、電源供給用のビア20Cが接触する。その領域220において、前記電源プレーン

5 は、223で示されるようにビアが貫通されていない特定領域を有し、前記特定領域223はデータプロセッサ3に配列された外部端子としての半田ボール電極34の1ピッチ以上の幅を有する。これにより、電源プレーンにビアの非接触貫通孔が環状に多数形成されて環状貫通孔の外周部分と内周部分との間での電流経路が実質的に狭くなることを

10 抑止することができる。特に図示はしないが、特定領域213, 223は矩形の実装基板2の4個の角部に形成されている。

上記より、実装基板2のグランドプレーンや電源プレーンが電流供給能力の点において内外で分断される事態を阻止することができる。

第19図には第17図及び第18図に対応される導電層Lm1の電源配線とグランド配線の状態が例示される。白四角(□)に×の合成記

15 号は信号ビア20A、白四角(□)はグランドビア20B、黒四角(■)は電源ビア20C、白丸(○)はランドを意味する。231は電源配線、232はグランド配線である。

前記特定領域213, 223は、その上方に実装される矩形のデータ

20 プロセッサ3の角部近傍に位置する。前記ビット間スキュー低減などを考慮すれば並列データの端子はデータプロセッサ3の辺の部分に配置するのが望ましいから、上記電源プレーンやグランドプレーンの分断防止を角部で行なうのは、場所的にその要請とも競合しない。

ビアや電源配線等の配置に関しては、導電層Lm2のグランドプレーン

25 を貫通するビアの状態を第20図のように、導電層Lm3の電源プレーンを貫通するビアの状態を第21図のように、導電層Lm1の電源配

線とグランド配線の状態を第22図のようにすることも可能である。この場合には、第1導電層Lm1において特定領域213, 223の上層を横切って信号配線233を引き出すことが可能になる。

5 第23図には第3導電層Lm3の電源プレーン分割態様が例示される。実装基板2の電源プレーンはSDRAM4用の電源プレーン235、データプロセッサ3のコア用電源プレーン236というように分割されているとき、コア用分割電源プレーン236に示されるように、実装基板の角部だけでなく、辺の部分の途中に前述同様の特定領域237を設けることも可能である。

10 第24図乃至第27図には実装基板の第1導電層乃至第4導電層におけるビアとの接続状態を別の例として示す。各図において四角(□)はグランドビア20B、三角は電源ビア20C、丸は信号ビア20Aであり、×記号はビアとグランドプレーン、電源プレーンとの電氣的接続を意味する。

15 《Vref配線》

前記データプロセッサ3は、特に制限されないが外部から参照電位Vrefを入力する。参照電位Vrefは例えばメモリインタフェース回路307などの入力バッファにおける入力レベルの論理値判定など用いられる。論理値判定を行なう判定回路399は例えば第28図に例示される差動入力回路で構成される。I/O電源とは前記2.5VのようなSDRAMインタフェース電源を意味する。参照電位Vrefは2.5V/2とされる。パッケージ基板30上において前記参照電位を供給する参照電位配線38gは第4図に例示されるように、電源プレーンが形成される第3導電層Lp3において、前記SDRAM用電源プレーン  
20 38eに取り囲まれて配置される。更に詳しくは、第29図に例示されるように、参照電位配線38gの両側におけるSDRAM用電源プレーン  
25

ン 3 8 e には 2.5 V 供給用の半田ボール電極が導通するビア 3 5 0 が結合され、参照電位配線 3 8 g は S D R A M 用電源の 2.5 V と電位的に強固にカップリングされている。第 3 0 図には参照電位配線 3 8 g 近傍の縦断面の概略が示される。参照電位配線 3 8 g の上層 L p 2 にはグランドプレーンが形成される。したがって S D R A M 用電源プレーン 3 8 e 及び参照電位配線 3 8 g は共にグランドプレーンのグランド電位に対してもカップリングされる。更に参照電位配線 3 8 g は、S D R A M 4 のアドレスやデータ端子に接続する第 1 導電層 L p 1 の S D R A M 用信号配線 3 5 1 との間にグランドプレーンが介在され、S D R A M 用信号配線 3 5 1 との容量性カップリングも避けられている。

したがって、判定回路 3 9 9 の電源プレーン 3 8 e のレベルが揺れても、参照電位配線 3 8 g は、それとの容量性カップリングによりその揺れと同相でレベル変化しようとする。また、S D R A M 用信号配線 3 5 1 上における信号変化は容量性カップリングによって参照電位配線 3 8 g に重畳されない。第 3 1 図に示されるように、入力信号 I N に対する判定基準電圧である参照電位 V r e f が変動するとその判定回路 3 9 9 で得られる判定結果信号 O U T のタイミングマージンが不所望に悪化することになるが、これによりそのような事態の発生を防止することが可能である。これにより、判定回路 3 9 9 による判定動作に高い信頼性を得ることができる。

#### 《P L L / D L L クロック配線》

第 3 2 図には前記 C P G 3 4 3 の一例が示される。C P G 3 4 3 は第 1 P L L 回路 ( P L L 1 ) 3 6 1、第 2 P L L 回路 ( P L L 2 ) 3 6 2 及び D L L 回路 3 6 3 を有する。前記 P L L 回路 3 6 1、P L L 回路 3 6 2、D L L 回路 3 6 3 で生成されるクロック信号を受ける回路モジュール 3 6 4 は例えば前記 A T A P I 3 2 3、G P S B B 3 3 1、M R Y

I F 3 0 7などの回路とされる。C P G 3 4 3にはプロセッサチップ 3 1のクロックパッドX T A L, E X T A LからI / Oバッファ ( I / O B U F ) 3 6 5, 3 6 6を介して水晶発振子からのクロック信号が入力される。前記P L L回路 3 6 1、P L L回路 3 6 2、D L L回路 6 3 3  
5 の電源は夫々専用の電源パッド及びグランドパッドから、V D D p 1, V S S p 1、V D D p 2, V S S p 2、V D D d, V S S dが供給される。I / O B U F 3 6 5, 3 6 6には3.3VのようなI / O用電源V D D i oとI / O用グランド電位が供給される。

第 3 3 図にはP L L回路の基本回路ユニットが例示される。入力クロック信号C L Kは周波数比較器 ( C M P ) 3 6 7により帰還クロック信号C L K rと周波数比較され、周波数差に応ずる電圧信号が形成される。電圧制御発振器 ( V C O ) 3 6 8はその電圧信号を周波数制御電圧として発振動作する。その発振周波数は出力分周器 3 6 9で2分周され、後段回路への出力クロック信号C L K sにされると共に、分周器 3 7 0で  
10 分周されて前記周波数比較器 3 6 7へ帰還される。これにより、クロック信号C L K sは入力クロック信号C L Kに対して所定の位相差と所定の分周比を持ったクロック信号とされる。D L L回路の基本構成についてはS D R A Mの構成と一緒に説明した通りであり、ここでは繰り返して説明しない。

第 3 4 図にはプロセッサチップ 3 1のC P G 3 4 3に動作電源を供給するパッケージ基板 3 0上の電源配線の縦断面構造が例示される。前記第 1 導電層L p 1は、D L L回路 3 6 3に電源を供給する電源配線 3 8 0と、P L L回路 3 6 1, 3 6 2及びD L L回路 3 6 3にクロック信号を供給するクロック配線 3 8 1, 3 8 2とを有し、前記電源配線 3 8 0とクロック配線 3 8 1, 3 8 2は第 1 導電層L p 1における配線の最小間隔寸法よりも大きな間隔で離間される。例えば第 1 導電層L p 1と  
20  
25

第2導電層Lp2との層間の絶縁膜の厚さの2倍の距離で離間される。

また、PLL回路361, 362に電源を供給する電源配線38i, 38jは第3導電層Lp3に形成され、クロック配線381, 382との間には少なくとも絶縁されて第2導電層Lp2が介在される。したがっ

5 て、クロック配線381, 382は、PLL回路361, 362に電源を供給する電源配線38i, 38j及びDLL回路363に電源を供給する電源配線380に対して少なくとも導電層の層間絶縁膜の厚さの2倍の距離で離間される。これにより、プロセッサチップ31のPLL回路361, 362及びDLL回路363が用いるクロック配線381, 10 382とその動作電源配線380がパッケージ基板上30でカップリングするのを抑えることができ、クロックの発振周期に同期するカップリングノイズによりPLL回路361, 362又はDLL回路363の動作電源が揺れてその同期化性能が低下してしまう虞を未然に防止することができる。例えばPLL回路又はDLL回路において同期化性能 15 に大きく影響する電圧制御発振器又は電流制御発振器はその動作電源が変動すればそれによって発振周波数が変動するからである。

第35図には第1導電層Lp1においてDLL回路363に電源を供給する電源配線380とクロック配線381, 382との平面的な配置関係が例示される。ビア383, 384はPLL回路361, 362 20 に電源を供給する電源配線38i, 38jに導通される。

第36図には第3導電層Lp3においてPLL回路361, 362に電源を供給する電源配線38i, 38jの平面的な配置関係が例示される。前記第3導電層Lp3において前記PLL回路361, 362に電源を供給する電源配線38i, 38jはその周りの電源プレーン38c 25 から電氣的に独立される。これにより、PLL回路361, 362は他の回路の動作に起因する電源ノイズの影響を受け難い。

## 《DACにおける定電流源回路の電源分離》

第37図にはDAC334の要部が例示される。複数ビットのデジタルデータは図示を省略するデコーダでそのビット数に応ずる2のべき乗数の信号に変換される。第37図にはその変換された一つの信号に対するDA変換の単位回路が示される。DA変換単位回路は、定電流源回路390と、この定電流回路390からの定電流を出力ノードAoutに加算するか否かを制御するスイッチ391と、スイッチ制御信号を保持するフリップフロップ392とを有する。フリップフロップ392は前記デコーダによるデコード出力を1信号単位で保持する。複数のDA変換単位回路は出力端子Aoutを共有し、出力端子Aoutにはデコーダによるデコード出力に基づいてデジタルデータの値に応じた電流が加算され、図示を省略する電流電圧変換回路を介してその電流値に応ずる電圧がデジタル・アナログ変換結果として出力される。第37図に基づいて説明したDAC334は、例えばGPSBB331が備えるDACの局部DACとしても採用されている。

前記DAC334の動作電源は、定電流源回路390とフリップフロップ392との間で分離されている。定電流源回路390には電源電圧VCCAとグランド電圧VSSAが割当てられる。フリップフロップ回路392には電源電圧VCCA1とグランド電圧VSSA1が割当てられる。DAC334のその他の回路には、アナログ系回路であれば電源電圧VCCAとグランド電圧VSSAを割当て、デジタル系回路であれば電源電圧VCCA1とグランド電圧VSSA1を割当てる。

第38図には第1導電層Lp1におけるDAC、ADCの電源配線パターンが例示される。393はVSSA1専用のビアであり、第2導電層Lp2のグランドプレーンに接続される。394はVSSAなどが供給されるグランド配線であり他の回路のグランド電位の供給も行ない、

第2導電層Lp2のグランドプレーンに接続される。395はVCCA  
1専用のビアであり、第39図に例示される第4導電層Lp4の電源プ  
レーン395Aに接続され、ここから専用の半田ボール電極に導通され  
る。396はDACのVCCA専用のビアであり、第40図の第3導電  
5 層Lp3におけるそれ専用の電源プレーン396Aに接続され、ここか  
ら専用の半田ボール電極に導通される。397はADCのVCCA専用  
のビアであり、第40図の第3導電層Lp3におけるそれ専用の電源プ  
レーン397Aに接続され、ここから専用の半田ボール電極に導通され  
る。これにより、前記スイッチ391のスイッチング動作による電源V  
10 CCA1、VSSA1にノイズが生じて、定電流源回路390の電源  
はその電源とは別であるから影響を受けず、DAC更にはADCの変換  
精度の向上に資することができる。

前記第3導電層Lp3に形成されたVCCAの電源プレーン396  
Aは前記定電流源回路390の電源プレーンとされ、前記フリップフロ  
15 ップ392に電源VCCA1を供給する電源プレーン395Aは前記  
定電流源回路390の電源プレーンとは分離して前記第4導電層Lp  
4に形成される。これにより、前記スイッチ391に対するスイッチン  
グノイズが定電流源回路390の電源に影響を与えないようになり、変  
換精度の向上に資することができる。さらに前記第3導電層Lp3に形  
20 成された電源プレーン396Aと、前記第4導電層に形成された前記ス  
イッチを制御する回路の電源プレーン395Aとを、第4導電層におい  
て夫々電氣的に分離された実装基板への接続端端子に別々に結合され  
るから、上記効果を更に確実なものにすることができる。

第38図において398aはADCの信号配線、398bはDACの  
25 信号配線であり、両者は夫々に分離してかたまって配置される。第40  
図の第3導電層Lp3においてDAC用の電源プレーン396AはD



A C用の信号配線 3 9 8 b と上下方向でほぼ重なる位置に配置され、同様に、A D C用の電源プレーン 3 9 7 A は A D C用の信号配線 3 9 8 a と上下方向でほぼ重なる位置に配置される。これにより、パッケージ基板上における D A C 又は A D C用の電源プレーンをその他の回路の電源プレーンと独立させても、当該 D A C 又は A D C用の電源プレーンが揺れたとき、当該電源プレーンにカップリングするコンバータ用信号配線は同相でレベル変化しようとするので、コンバータの電源変動による変換精度の低下を極力抑えることができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

例えば、パッケージ基板及び実装基板の層数は 4 層に限定されずそれ以上であってもよい。また、半導体装置は B G A パッケージ構造に限定されない。また、実装基板に搭載される半導体装置はデータプロセッサ及び S D R A M に限定されない。メモリコントローラとメモリ、データプロセッサと液晶ドライバ等であってもよい。

また、メモリインターフェース仕様については、本実施例においては D D R - S D R A M の場合について説明したが、これに限るものでなく、第 4 2 図に記載されているように D D R 2 - S D R A M 仕様など、より高レートでデータ転送するインターフェース仕様を採用するシステムに本発明を適用することももちろん可能である。

#### 産業上の利用可能性

本発明は、実装基板に半導体装置を搭載した種々の電子回路に広く適用することが可能である。

## 請 求 の 範 囲

1. 実装基板に第1の半導体装置と第2の半導体装置を有する電子回路であって、

- 5      前記実装基板は前記第1の半導体装置の複数ビットの外部端子と前記第2の半導体装置の複数ビットの外部端子にビット対応で共通接続される複数の実装基板配線を有し、

前記実装基板配線は、前記第1の半導体装置の外部端子から前記第2の半導体装置の外部端子までの長さがビット毎に不等長であり、

- 10      前記第2の半導体装置の外部端子から半導体チップの接続電極に至る組立て用配線の長さがビット毎に不等長であり、

前記実装基板配線の不等長は前記組立て用配線の不等長を相殺する関係を有する、電子回路。

2. 前記第1の半導体装置はシンクロナスメモリであり、

- 15      前記第2の半導体装置はシンクロナスメモリをアクセス制御可能なデータプロセッサであり、

前記データプロセッサは前記実装基板配線を介してシンクロイナスメモリとの間で複数ビットのアクセスデータの並列入出力を行なう、請求の範囲第1項記載の電子回路。

- 20      3. 前記シンクロナスメモリの複数ビットの外部端子はデータ入出力タイミングがクロック信号に同期され、前記データプロセッサは前記シンクロナスメモリから出力される前記クロック信号に同期して前記シンクロナスメモリから出力されるデータを取り込む、請求の範囲第2項記載の電子回路。

- 25      4. 前記第2の半導体装置はパッケージ基板に前記外部端子として多数のソルダボール電極が複数列で環状に配置されたパッケージ構造を

有し、パッケージ基板内の組立て用配線の不等長はソルダボール電極の列方向ピッチの整数倍の差を持つ、請求の範囲第 3 項記載の電子回路。

5 5. 前記第 1 の半導体装置はその外部端子から半導体チップの接続電極に至る組立て用配線の長さが等長である、請求の範囲第 1 項記載の電子回路。

6. パッケージ基板に半導体チップを搭載した半導体装置であって、

前記半導体チップは、所定のパッド電極から与えられる参照電位を用いて判定動作を行なう判定回路を含み、

10 前記パッケージ基板は、半導体チップのパッド電極との接続に利用される第 1 導電層、グランドプレーンに利用される第 2 導電層、電源プレーンに利用される第 3 導電層、及び実装基板との接続に利用される第 4 導電層を含み、

15 前記第 3 導電層は、前記判定回路に接続する電源プレーンと前記参照電位の配線とを含み、前記参照電位の配線は前記電源プレーンに取り囲まれて配置された、半導体装置。

7. 前記第 1 導電層と第 3 導電層の間に第 2 導電層が配置されている、請求の範囲第 6 項記載の半導体装置。

8. 実装基板に半導体装置を有する電子回路であって、

20 前記実装基板は、配線パターンが形成された第 1 導電層、グランドプレーンに利用される第 2 導電層、電源プレーンに利用される第 3 導電層、及び配線パターンが形成された第 4 導電層を含み、

前記グランドプレーンと電源プレーンは、半導体装置に配列された外部端子の 1 ピッチ以上の幅をもってビアホール又はスルーホールが貫通されていない特定領域を有する、電子回路。

25 9. 前記半導体装置の外部端子は第 1 導電層の配線パターンに結合され、第 1 導電層のグランド配線パターンはビアホール又はスルーホールを

介して第 2 導電層のグランドプレーンに結合し、第 1 導電層の電源配線パターンは第 2 導電層を貫通するビアホール又はスルーホールを介して電源プレーンに結合し、第 1 導電層の所定の信号配線パターンは第 2 導電層及び第 3 導電層を貫通するビアホール又はスルーホールを介して第 4 導電層の配線パターンに結合する、請求の範囲第 8 項記載の電子回路。

10 10. 前記グランドプレーンの特定領域には第 1 導電層のグランド配線パターンに接続するビアホール又はスルーホールとの結合部を有する、請求の範囲第 9 項記載の電子回路。

11. 前記電源プレーンの特定領域には第 1 導電層の電源配線パターンに接続するビアホール又はスルーホールとの結合部を有する、請求の範囲第 10 項記載の電子回路。

12. 前記特定領域は矩形の半導体装置の角部近傍に位置する、請求の範囲第 11 項記載の電子回路。

15 13. 前記半導体装置はパッケージ基板に多数のソルダーボール電極が複数列で環状配置されたパッケージ構造を有し、

第 1 導電層の配線パターンは前記ソルダーボール電極に接続可能なランドを複数列で環状に有し、

20 前記グランドプレーンに接続するビアホール又はスルーホールと電源プレーンに接続するビアホール又はスルーホールとは前記ランドが環状に形成されている領域の外周部よりも外側又は内周部よりも内側に配置される、請求の範囲第 9 項記載の電子回路。

14. 半導体装置が実装される実装基板であって、

25 前記実装基板は、前記半導体装置の外部端子に接続可能なランドを有する配線パターンが形成された第 1 導電層、グランドプレーンに利用される第 2 導電層、電源プレーンに利用される第 3 導電層、及び配線パタ

ーンが形成された第4導電層を含み、

前記グラウンドプレーンと電源プレーンは、前記ランドの1ピッチ以上の幅をもってビアホール又はスルーホールが貫通していない特定領域を有する、実装基板。

- 5      15. 前記第1導電層のグラウンド配線パターンはビアホール又はスルーホールを介してグラウンドプレーンに結合し、前記第1導電層の電源配線パターンは第2導電層を貫通するビアホール又はスルーホールを介して電源プレーンに結合し、第1導電層の所定の信号配線パターンは第2導電層及び第3導電層を貫通するビアホール又はスルーホールを介して第4導電層の配線パターンに結合する、請求の範囲第14項記載の実装基板。

16. 前記グラウンドプレーンの特定領域には第1導電層のグラウンド配線パターンに接続するビアホール又はスルーホールとの結合部が形成される、請求の範囲第15項記載の実装基板。

- 15      17. 前記電源プレーンの特定領域には第1導電層の電源配線パターンに接続するビアホール又はスルーホールとの結合部が形成される、請求の範囲第15項記載の実装基板。

18. 実装基板に複数の半導体メモリ装置と前記半導体メモリ装置をアクセス制御可能な半導体制御装置とを有する電子回路であって、

- 20      前記実装基板は前記半導体メモリ装置と前記半導体制御装置とを接続する配線を終端抵抗を介して終端させる為の終端電源の電源プレーンを有し、

前記半導体制御装置よりも前記半導体メモリ装置が前記終端電源の電源プレーン寄りに実装され、

- 25      前記終端電源の電源プレーンに、前記配線に接続する終端抵抗と前記終端抵抗寄りに配置された第1の安定化容量とが複数個分散して接続

され、

前記終端電源の電源プレーンには終端電源を供給する供給端に対して当該電源プレーンの遠端部に前記第 1 の安定化容量よりも大きな第 2 の安定化容量が接続された、電子回路。

- 5      19. 前記終端電源の電源プレーンは矩形の実装基板における矩形の角部を包含する形状を有し、前記矩形の角部近傍に前記終端電源の供給端が配置され、前記終端電源の電源プレーンは前記終端電源の供給端の両側に延在する、請求の範囲第 18 項記載の電子回路。

- 10     20. 前記配線のうち CLK、/CLK を除く複数個の半導体メモリ装置が共通接続されていて分岐を有する一方向配線には、半導体制御装置を起点とする経路長が長い方の経路に終端抵抗が結合される、請求の範囲第 18 項記載の電子回路。

- 15     21. 前記配線のうち CLK、/CLK を除く複数個の半導体メモリ装置が共通接続されていて分岐を有する一方向配線には、半導体制御装置を起点とする経路長が長い方の経路に終端抵抗が結合されるものと、短い方の経路に終端抵抗が結合されるものとが混在され、

- 20     前記短い方の経路に終端抵抗が結合された一方向配線における長い方の経路と当該短い方の経路との経路長の差の最大値は、前記長い方の経路に終端抵抗が結合された一方向配線における短い方の経路と当該長い方の経路との経路長の差の最小値以下である、請求の範囲第 18 項記載の電子回路。

22. 前記分岐を有する一方向配線は、前記半導体制御装置から複数個の半導体メモリ装置にコマンド及びアドレスを伝達する配線である、請求の範囲第 21 項記載の電子回路。

- 25     23. パッケージ基板に半導体チップを搭載した半導体装置であって、前記半導体チップはフェーズ・ロックド・ループ回路又はディレイ・

ロックド・ループ回路を有し、

前記パッケージ基板は半導体チップのパッド電極との接続に利用される第1導電層を含み、

5 前記第1導電層は、前記フェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路に電源を供給する電源配線と、前記フェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路にクロック信号を供給するクロック配線とを有し、前記電源配線とクロック配線は第1導電層における配線の最小間隔寸法よりも大きな間隔で離間される、半導体装置。

10 24. 前記パッケージ基板は専らグランドプレーンに利用される第2導電層と、専ら電源プレーンに利用される第3導電層を有し、

前記第3導電層において前記フェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路に電源を供給する電源配線はその他の電源プレーンから独立される、請求の範囲第23項記載の半導体装置。

15 25. パッケージ基板に半導体チップを搭載した半導体装置であって、前記半導体チップはディジタル・アナログ・コンバータとアナログ・ディジタル・コンバータの一方又は双方のコンバータを有し、

前記パッケージ基板は、専ら半導体チップのパッド電極との接続に利用される第1導電層、グランドプレーンに利用される第2導電層、電源  
20 プレーンに利用される第3導電層、及び実装基板との接続に利用される第4導電層を含み、

前記第3導電層において前記コンバータ用の電源プレーンはその他の回路の電源プレーンから分離され、

前記第1導電層には前記コンバータ用の電源プレーンに重なる位置  
25 にコンバータ用信号配線が形成される、半導体装置。

26. 前記コンバータは定電流源回路からの定電流をスイッチを介して

出力ノードに加算する回路を有し、

前記第 3 導電層に形成されたコンバータ用の電源プレーンは前記定電流源回路の電源プレーンとされ、前記スイッチを制御する回路の電源プレーンは前記定電流源回路の電源プレーンとは分離して前記第 4 導電層に形成される、請求の範囲第 2 5 項記載の半導体装置。

2 7 . 前記第 3 導電層に形成されたコンバータ用の電源プレーンと、前記第 4 導電層に形成された前記スイッチを制御する回路の電源プレーンとは、第 4 導電層において夫々電気的に分離された実装基板への接続端子に別々に結合する、請求の範囲第 2 6 項記載の半導体装置。

10 2 8 . パッケージ基板に半導体チップを搭載した半導体装置であって、前記半導体チップはデジタル・アナログ・コンバータを有し、

前記パッケージ基板は、半導体チップのパッド電極との接続に利用される第 1 導電層、グランドプレーンに利用される第 2 導電層、電源プレーンに利用される第 3 導電層、及び実装基板との接続に利用される第 4 導電層を含み、

前記デジタル・アナログ・コンバータは定電流源回路からの定電流をスイッチを用いて出力ノードに加算する回路を有し、

前記半導体チップは前記定電流源回路用の第 1 アナログ電源端子及び第 1 アナログ接地端子と前記スイッチの制御回路用の第 2 アナログ電源端子及び第 2 アナログ接地端子を夫々別々に持ち、

前記第 1 アナログ接地端子と第 2 アナログ接地端子は第 1 導電層に別々の形成されたアナログ接地配線に接続され、前記夫々のアナログ接地配線は第 2 導電層のグランドプレーンに共通接続され、

前記第 1 アナログ電源端子と第 2 アナログ電源端子は第 1 導電層に形成された夫々に固有のアナログ電源配線から別々の電源プレーンを介して第 4 導電層の端子に別々に接続する、半導体装置。



29. 実装基板に第1の半導体装置と第2の半導体装置を有する電子回路であって、

前記実装基板は前記第1の半導体装置の複数ビットの外部端子と前記第2の半導体装置の複数ビットの外部端子にビット対応で共通接続  
5 される複数の実装基板配線を有し、

前記実装基板配線は、前記第1の半導体装置の外部端子から前記第2の半導体装置の外部端子までの長さがビット毎に不等長であり、

前記第2の半導体装置の外部端子から半導体チップの接続電極に至る組立て用配線の長さがビット毎に不等長であり、

10 前記実装基板配線の不等長は前記組立て用配線の不等長を相殺する関係を有する、電子回路。

30. 前記半導体チップは、所定のパッド電極から与えられる参照電位を用いて判定動作を行なう判定回路を含み、

前記パッケージ基板は、半導体チップのパッド電極との接続に利用される第1導電層、グランドプレーンに利用される第2導電層、電源プレーンに利用される第3導電層、及び実装基板との接続に利用される第4導電層を含み、  
15

前記第3導電層は、前記判定回路に接続する電源プレーンと前記参照電位の配線とを含み、前記参照電位の配線は前記電源プレーンに取り囲まれて配置された、請求の範囲第29項記載の半導体装置。  
20

31. 前記グランドプレーンと電源プレーンは、半導体装置に配列された外部端子の1ピッチ以上の幅をもってビアホール又はスルーホールが貫通されていない特定領域を有する、請求の範囲第30項記載の電子回路。

25 32. 前記第1の半導体装置は複数の半導体メモリ装置であり、前記第2の半導体装置は前記半導体メモリ装置をアクセス制御可能な半導体

制御装置であり、

前記実装基板は前記半導体メモリ装置と前記半導体制御装置とを接続する配線を終端抵抗を介して終端させる為の終端電源の電源プレーンを有し、

- 5 前記半導体制御装置よりも前記半導体メモリ装置が前記終端電源の電源プレーン寄りに実装され、

前記終端電源の電源プレーンに、前記配線に接続する終端抵抗と前記終端抵抗寄りに配置された第1の安定化容量とが複数個分散して接続され、

- 10 前記終端電源の電源プレーンには終端電源を供給する供給端に対して当該電源プレーンの遠端部に前記第1の安定化容量よりも大きな第2の安定化容量が接続された、請求の範囲第31項記載の電子回路。

33. 前記配線のうち複数個の半導体メモリ装置が共通接続されていて分岐を有する一方向配線には、半導体制御装置を起点とする経路長が長い方の経路に終端抵抗が結合されるものと、短い方の経路に終端抵抗が結合されるものとが混在され、
- 15

- 前記短い方の経路に終端抵抗が結合された一方向配線における長い方の経路と当該短い方の経路との経路長の差の最大値は、前記長い方の経路に終端抵抗が結合された一方向配線における短い方の経路と当該長い方の経路との経路長の差の最小値以下である、請求の範囲第32項記載の電子回路。
- 20

34. 前記半導体制御装置はパッケージ基板に搭載された半導体チップを有し、

- 前記半導体チップはフェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路を有し、
- 25

前記パッケージ基板の前記第1導電層は半導体チップのパッド電極

との接続に利用され、

前記第 1 導電層は、前記フェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路に電源を供給する電源配線と、前記フェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路にクロック  
5 信号を供給するクロック配線とを有し、前記電源配線とクロック配線は第 1 導電層における配線の最小間隔寸法よりも大きな間隔で離間される、請求の範囲第 3 3 項記載の電子回路。

3 5 . 前記半導体チップはデジタル・アナログ・コンバータとアナログ・デジタル・コンバータの一方又は双方のコンバータを有し、

10 前記第 3 導電層において前記コンバータ用の電源プレーンはその他の回路の電源プレーンから分離され、

前記第 1 導電層には前記コンバータ用の電源プレーンに重なる位置にコンバータ用信号配線が形成される、請求の範囲第 3 4 項記載の電子回路。

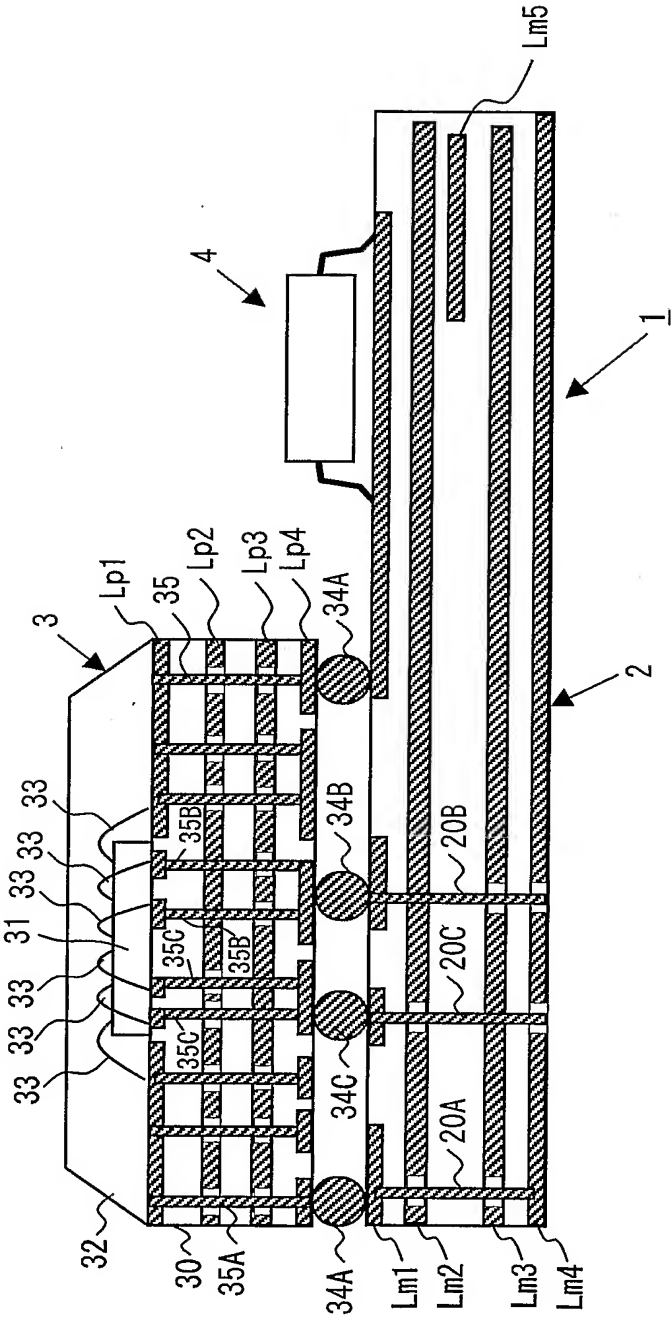
15 3 6 . 前記デジタル・アナログ・コンバータは定電流源回路からの定電流をスイッチを用いて出力ノードに加算する回路を有し、

前記半導体チップは前記定電流源回路用の第 1 アナログ電源端子及び第 1 アナログ接地端子と前記スイッチの制御回路用の第 2 アナログ電源端子及び第 2 アナログ接地端子を夫々別々に持ち、

20 前記第 1 アナログ接地端子と第 2 アナログ接地端子は第 1 導電層に別々に形成されたアナログ接地配線に接続され、前記夫々のアナログ接地配線は第 2 導電層のグランドプレーンに共通接続され、

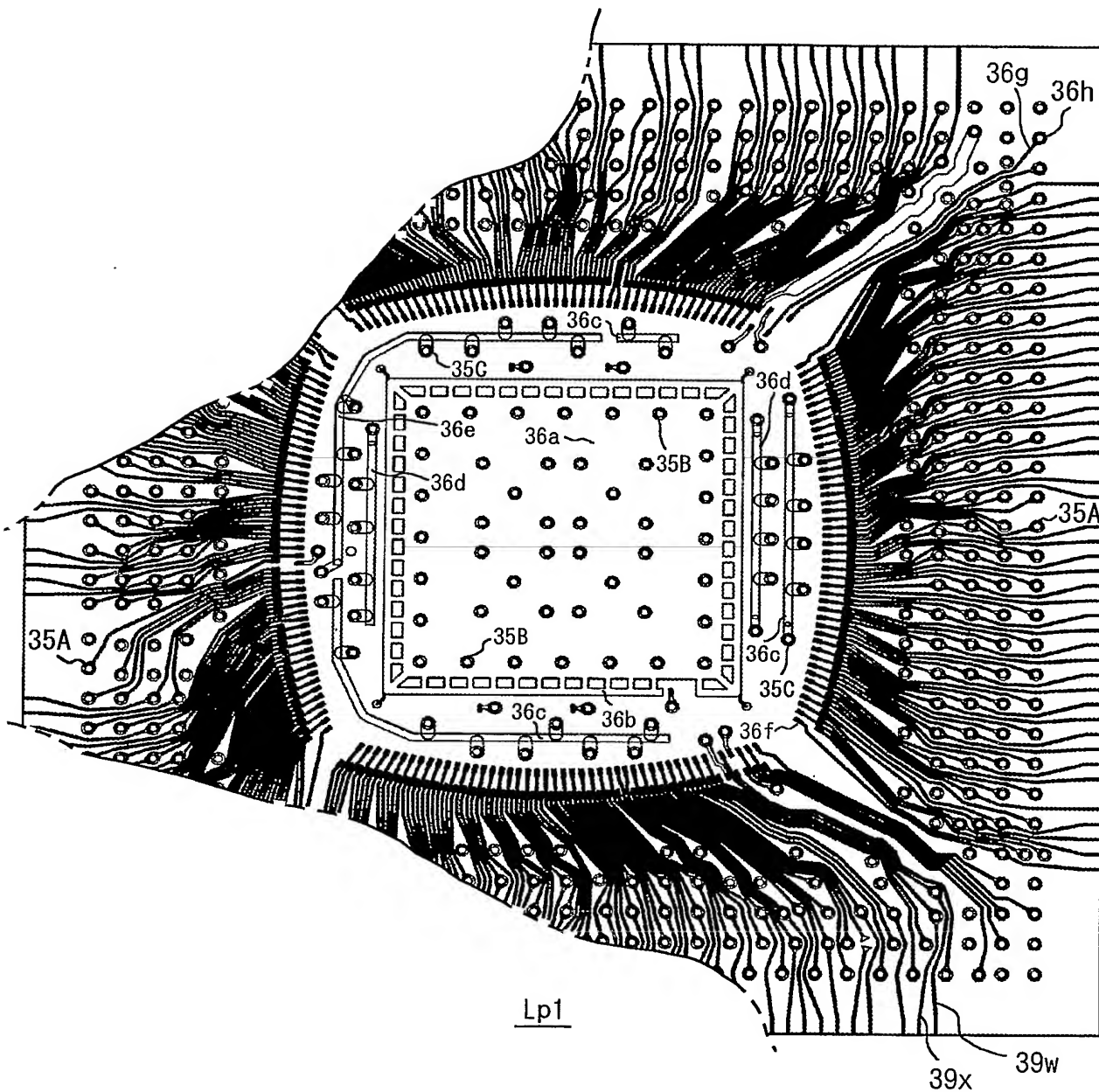
前記第 1 アナログ電源端子と第 2 アナログ電源端子は第 1 導電層に形成された夫々に固有のアナログ電源配線から別々の電源プレーンを介して第 4 導電層の端子に別々に接続する、請求の範囲第 3 5 項記載の  
25 電子回路。

第1図



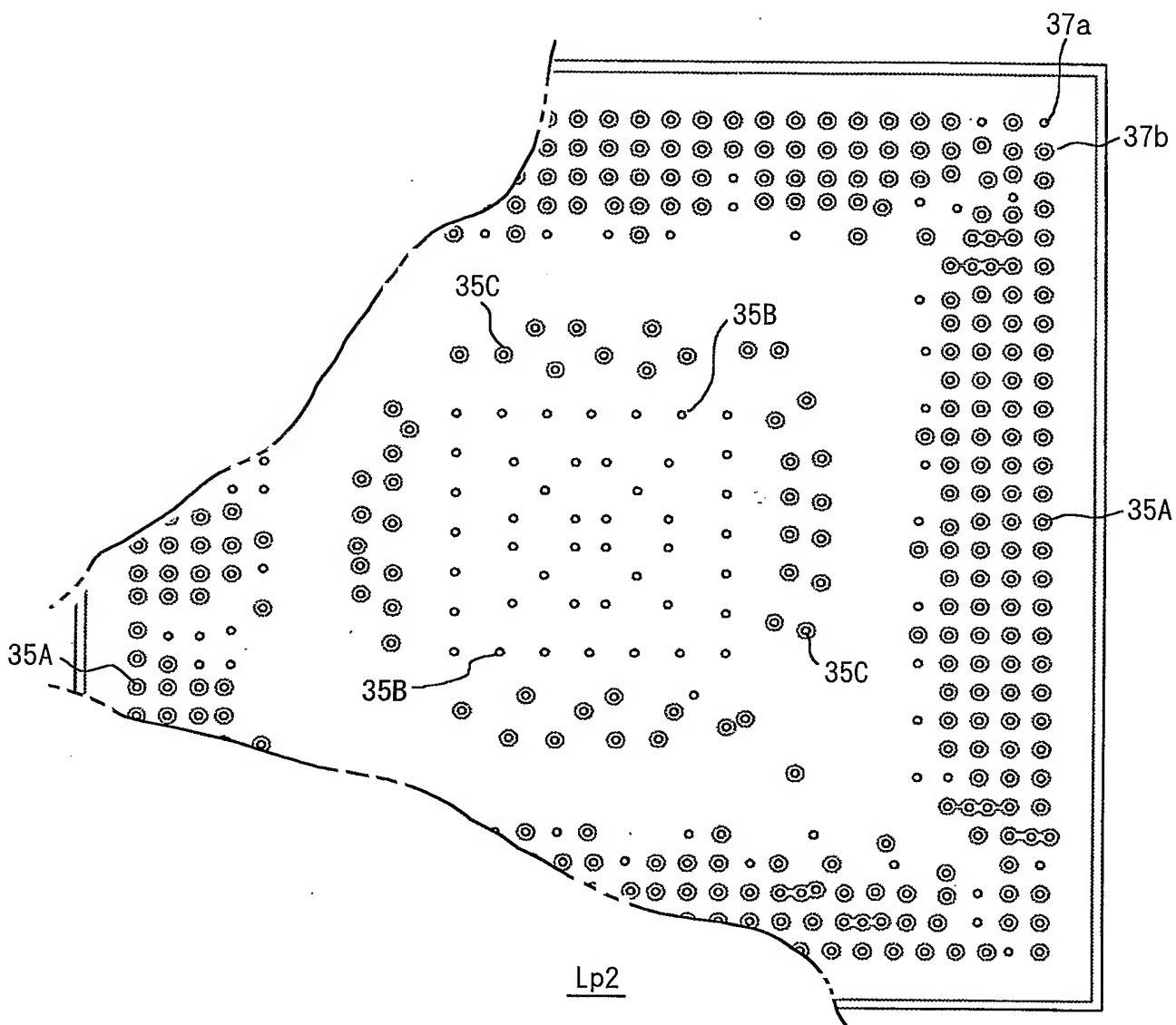
2 / 3 4

第 2 図



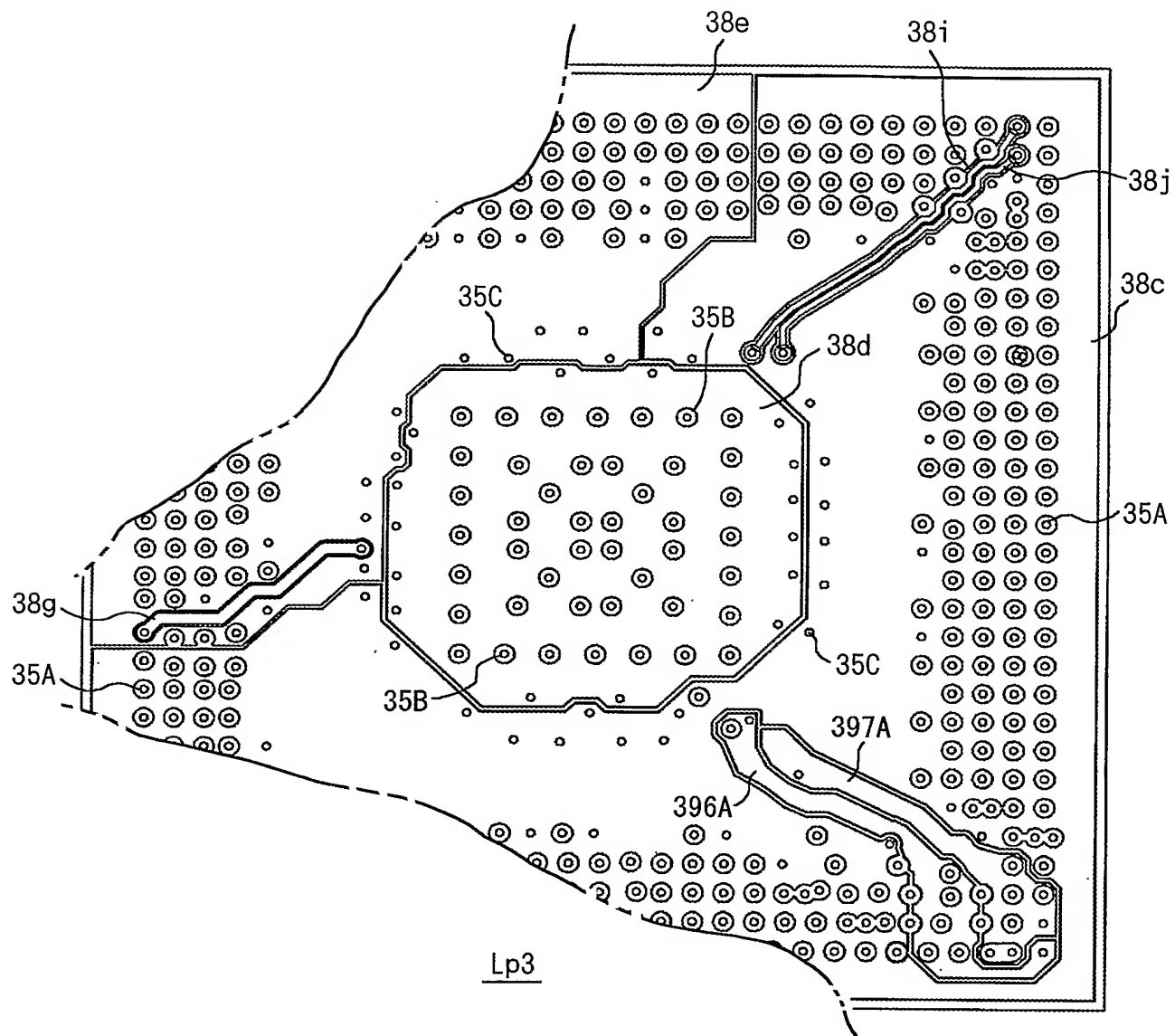
3 / 3 4

第3図



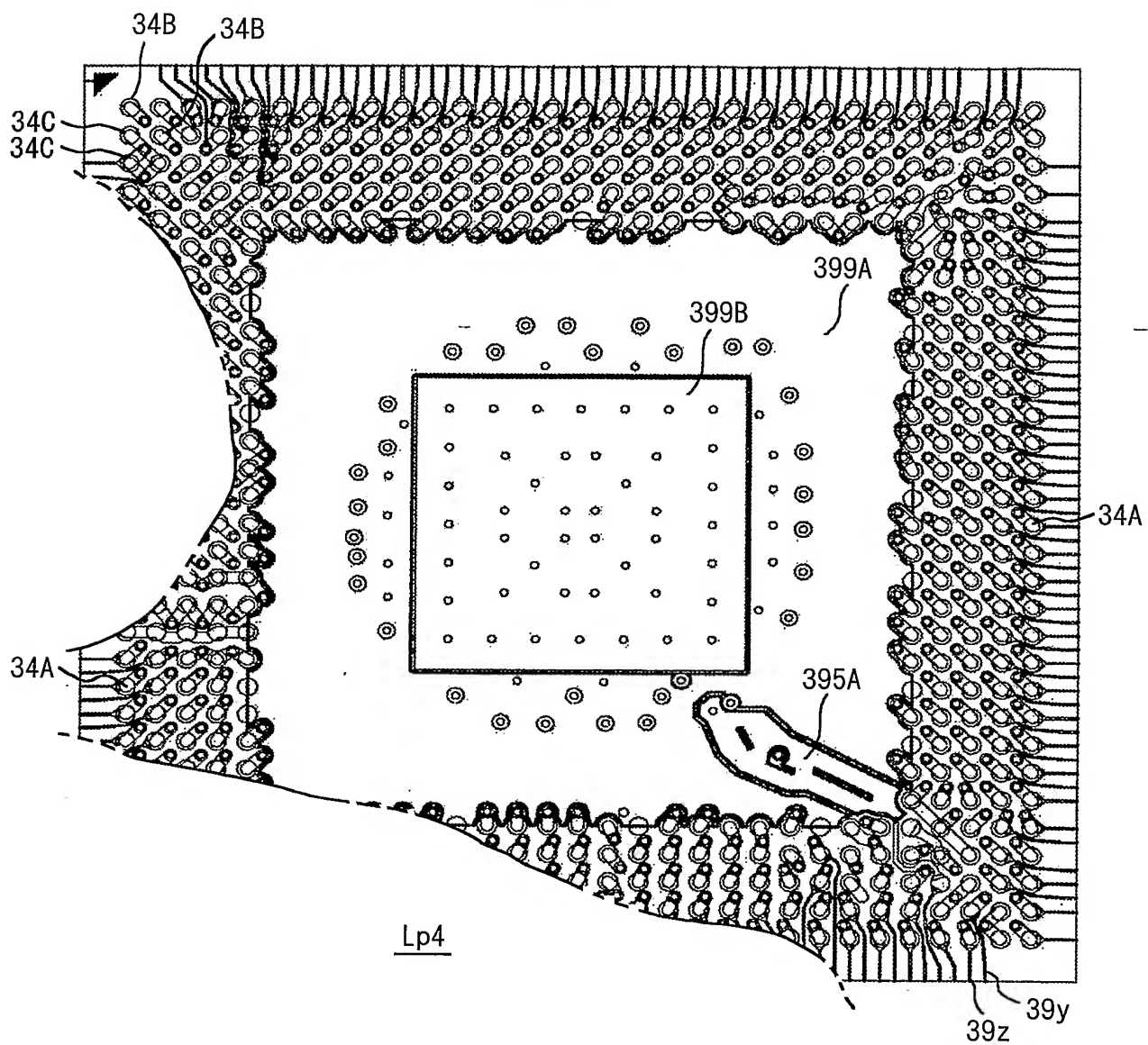
4 / 3 4

第 4 図



5 / 3 4

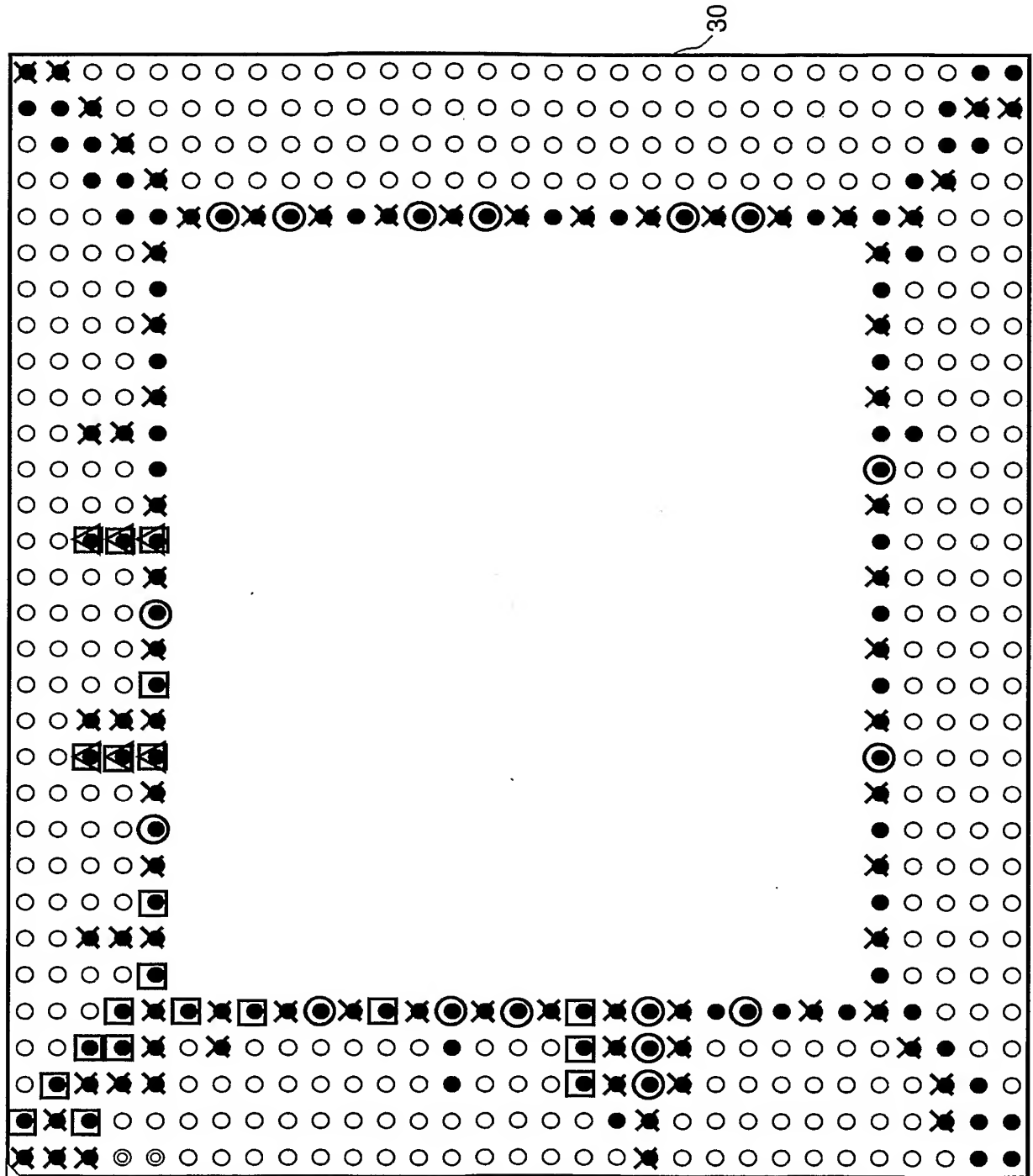
第 5 図





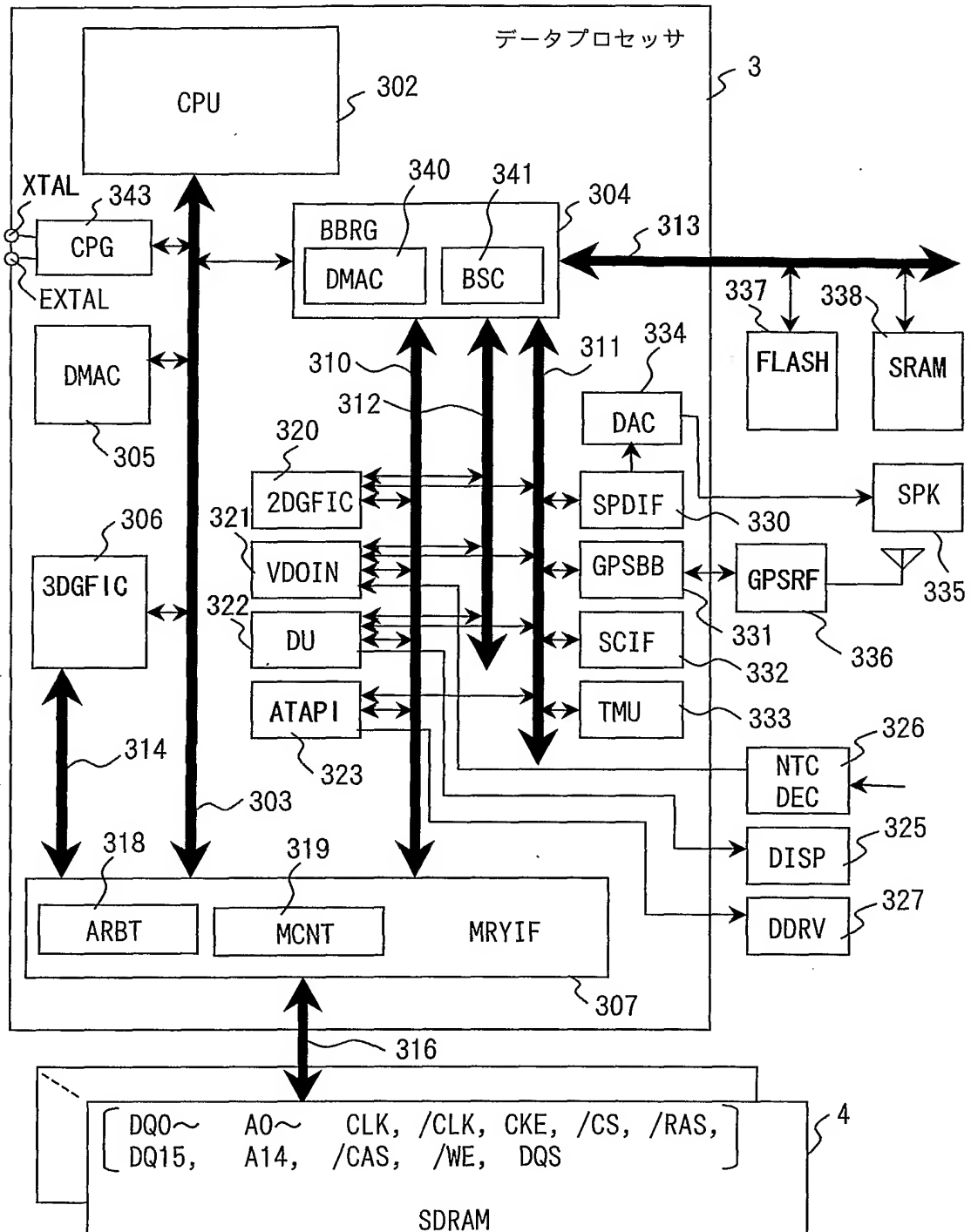
6 / 3 4

第6図

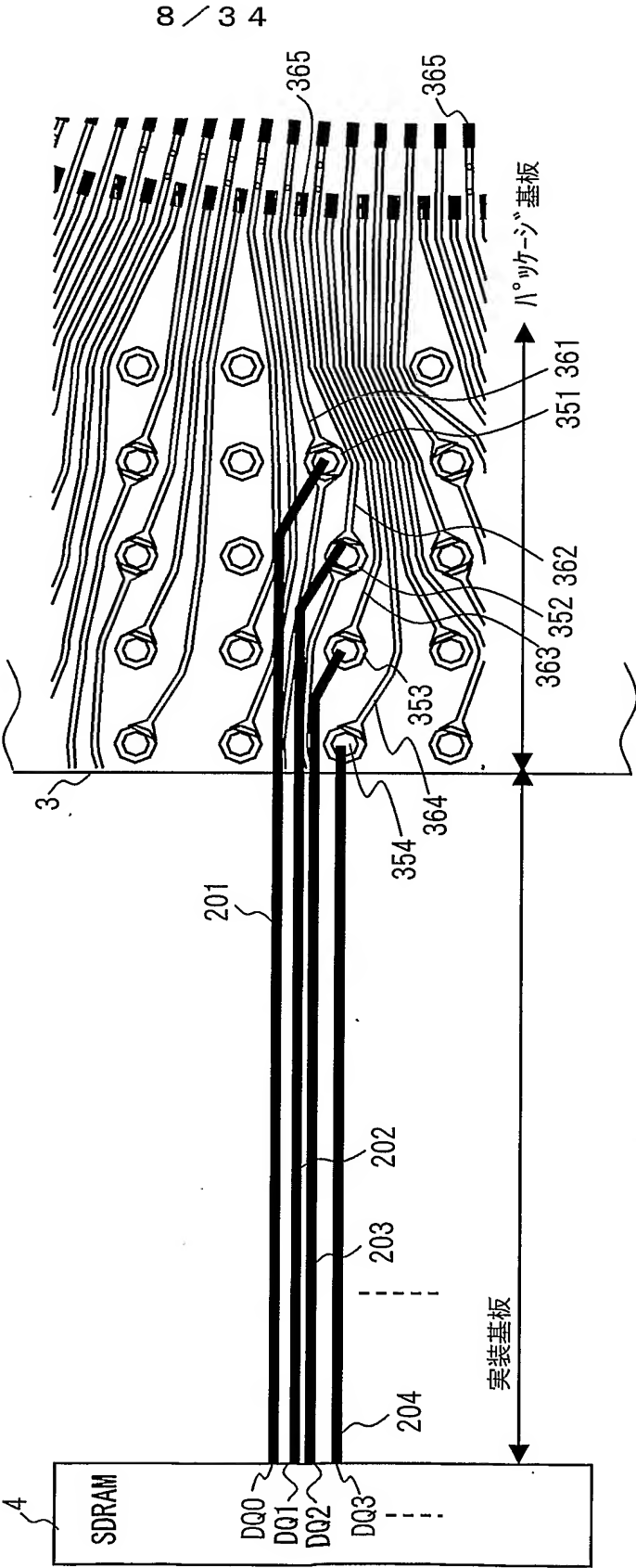


$7/34$ 

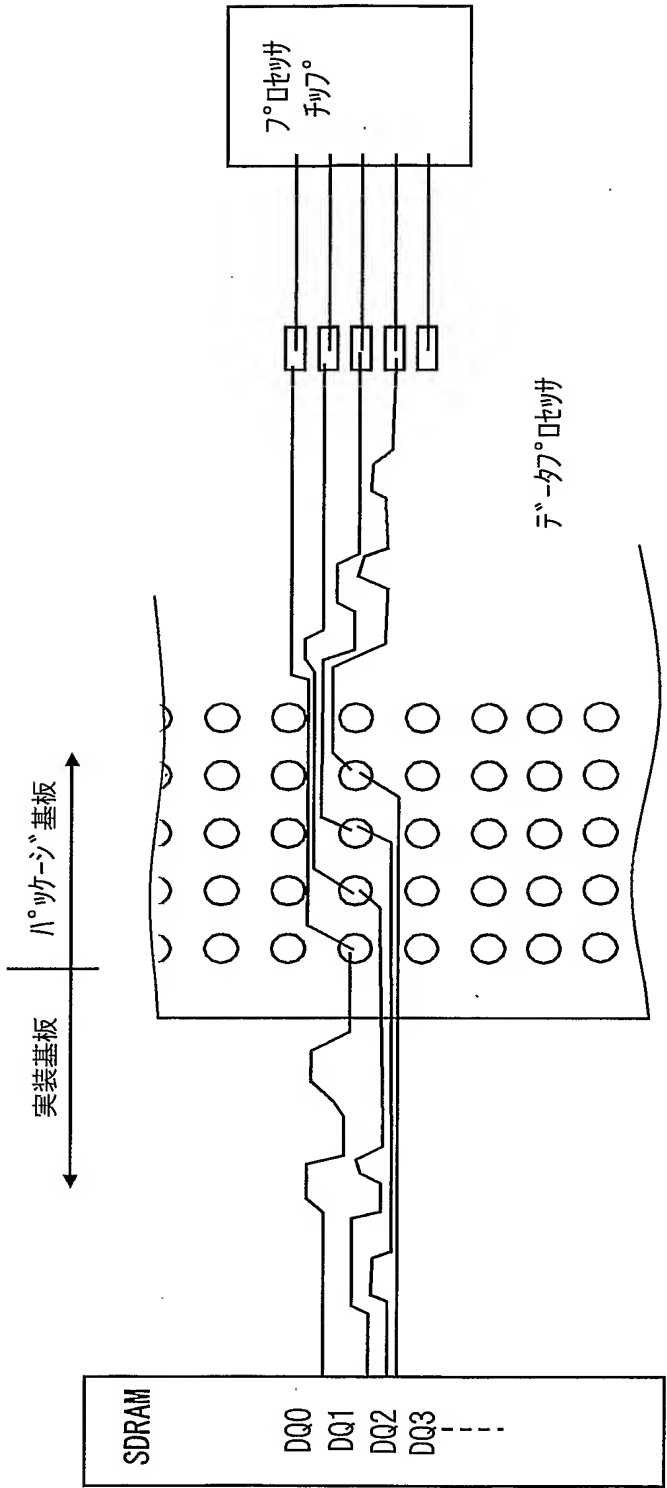
第7図



第8図



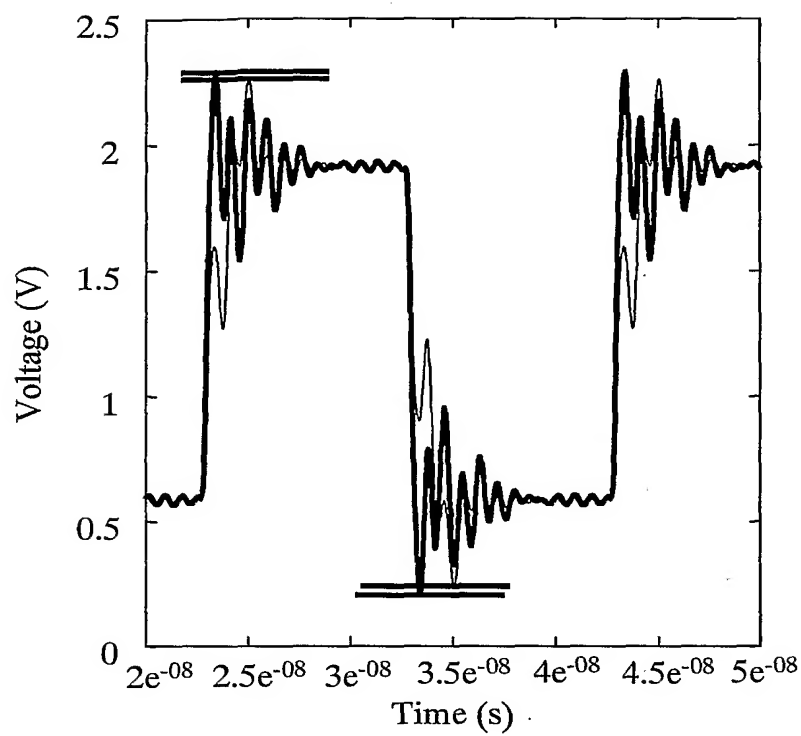
第9図



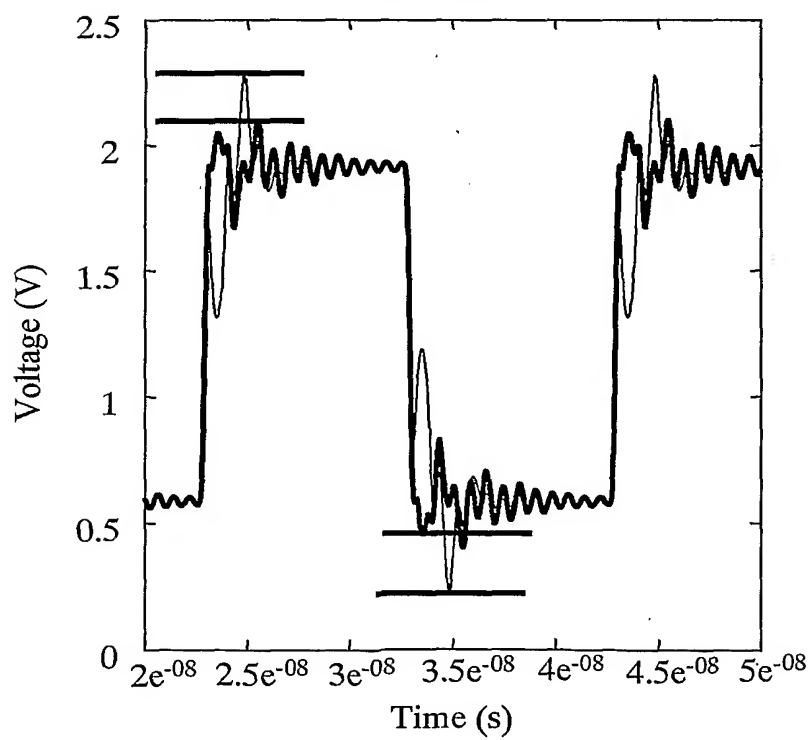


11/34

第11図

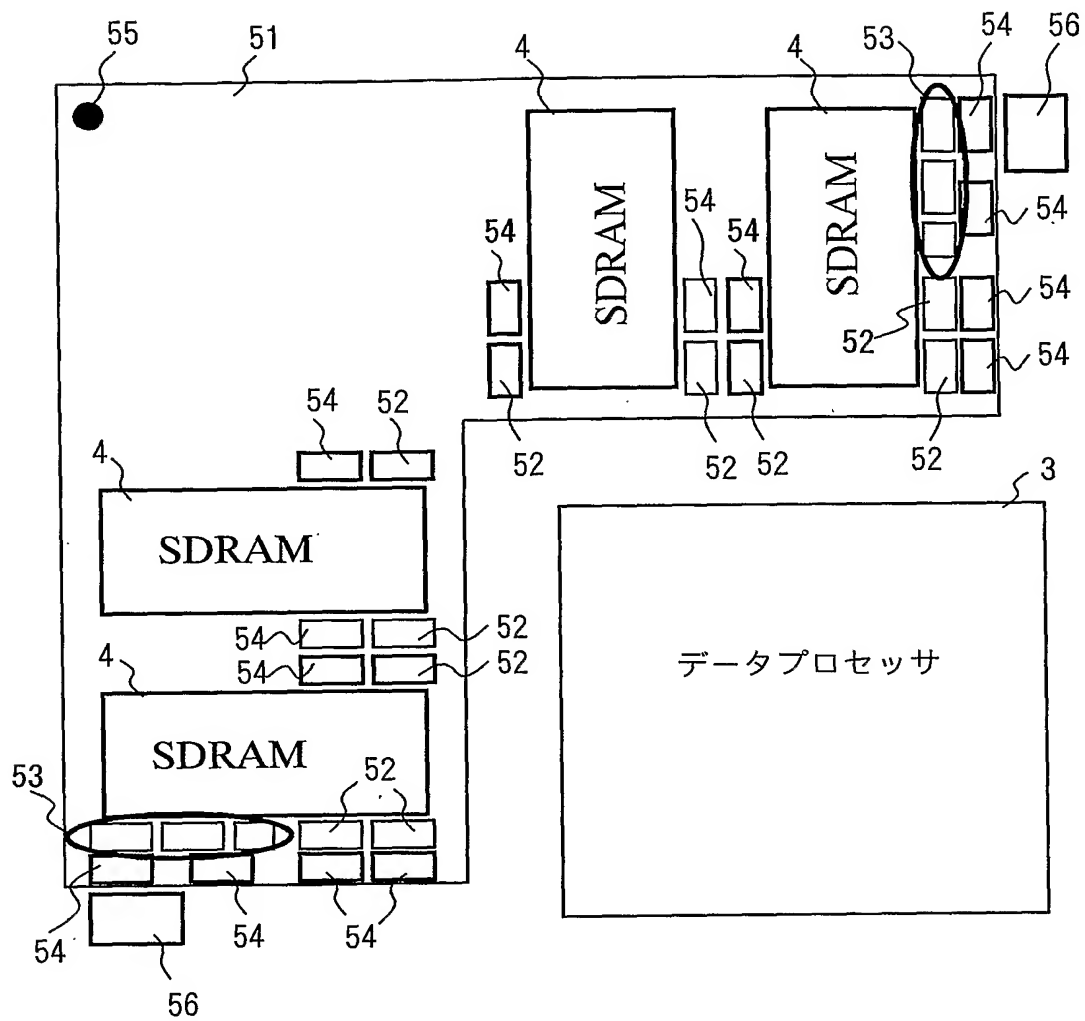


第12図



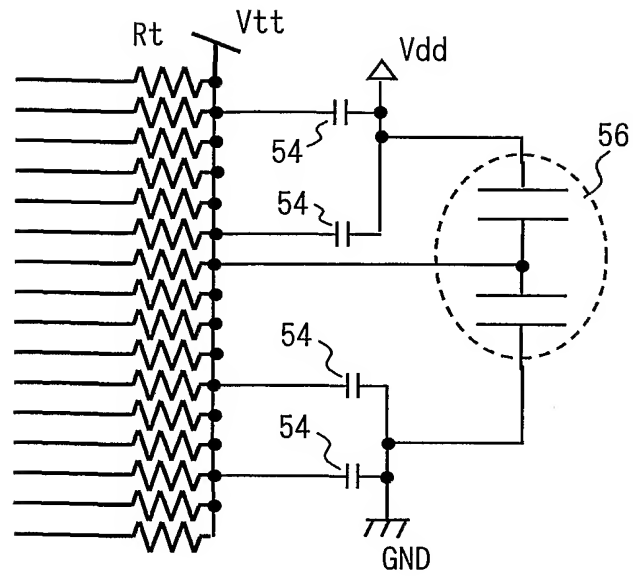
1 2 / 3 4

第 1 3 図



1 3 / 3 4

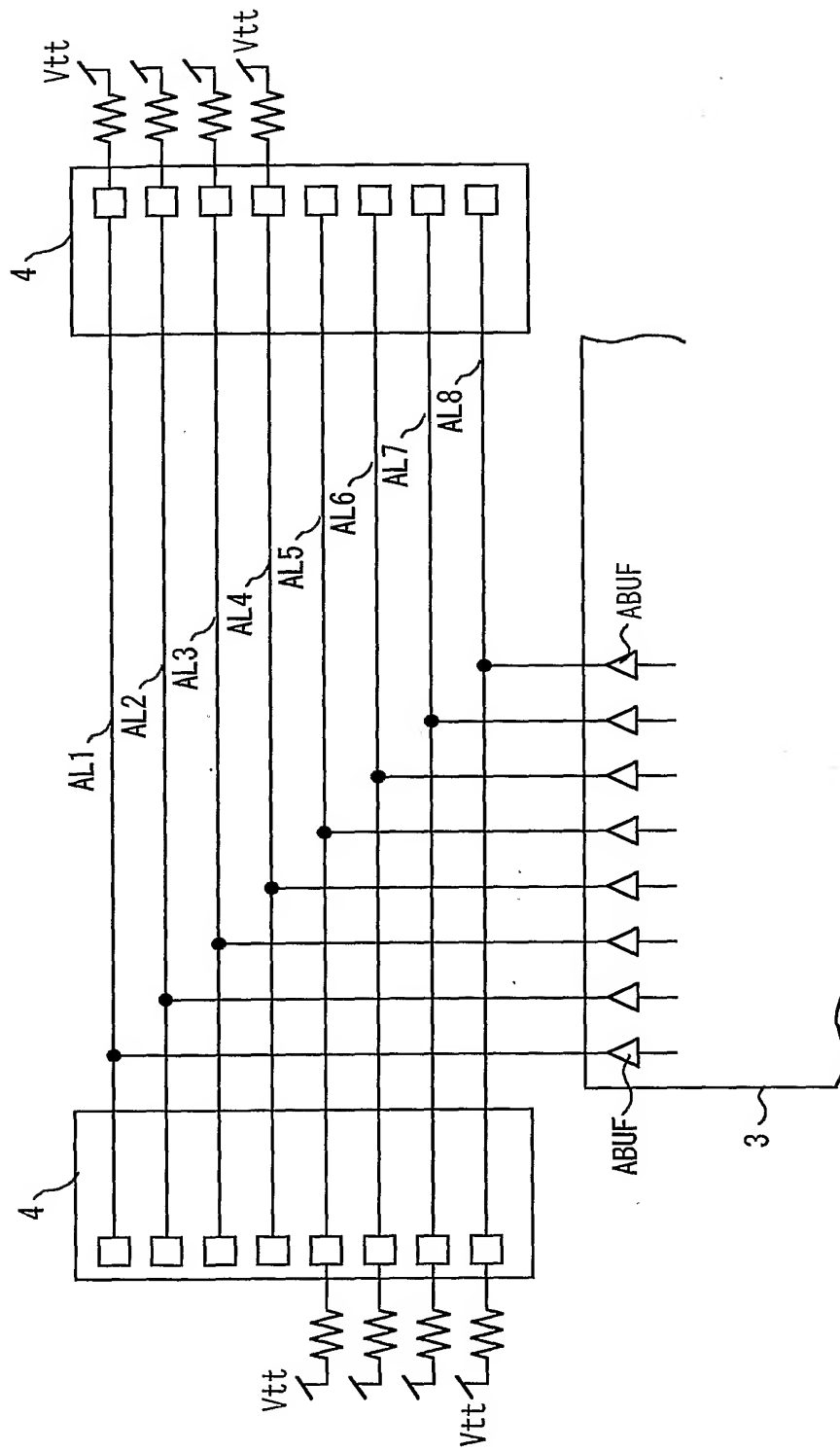
第 1 4 図





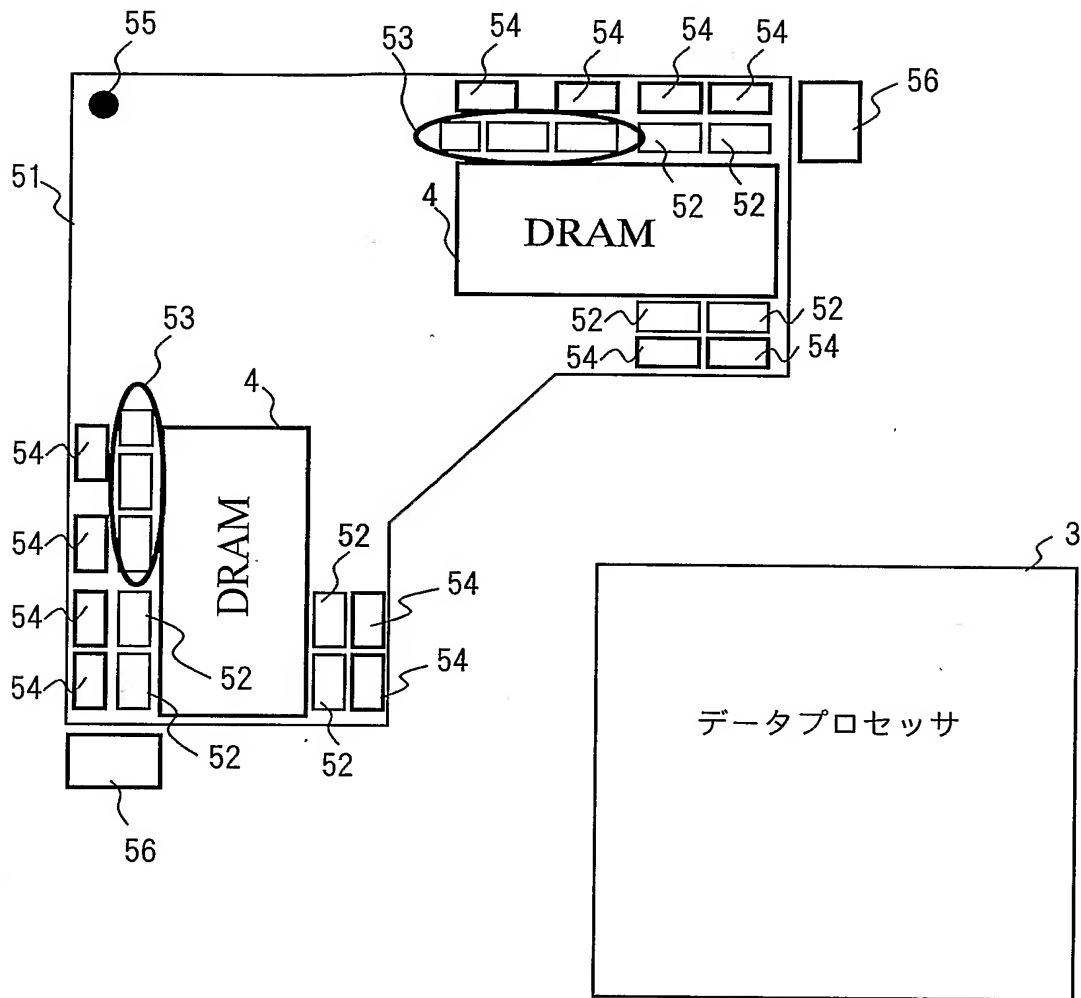
14 / 34

第15図



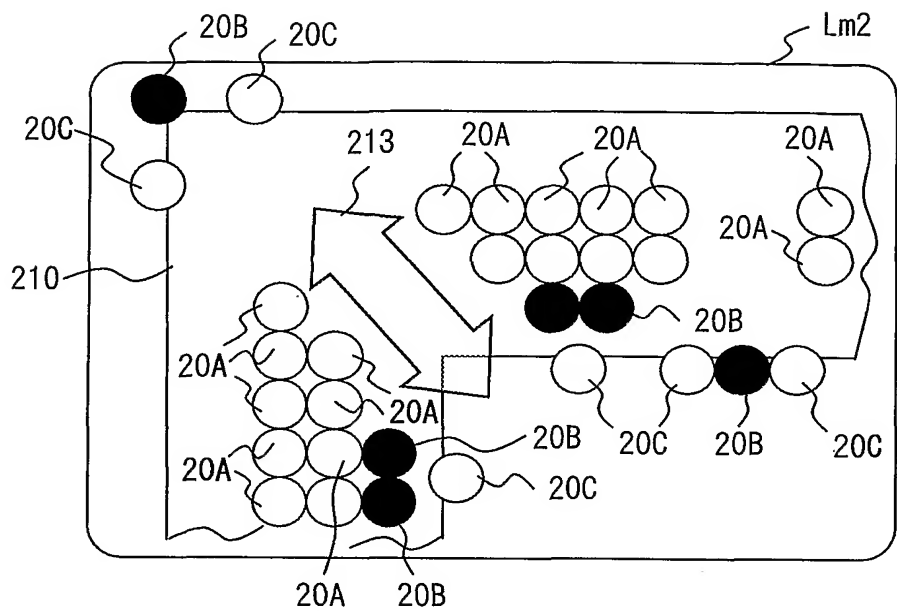
1 5 / 3 4

第 16 図

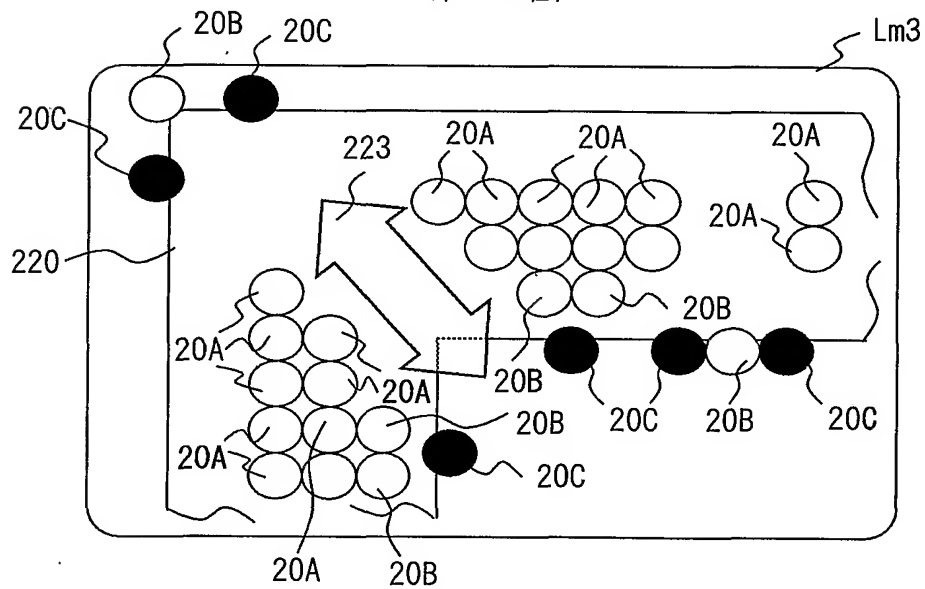


16 / 34

第 17 図

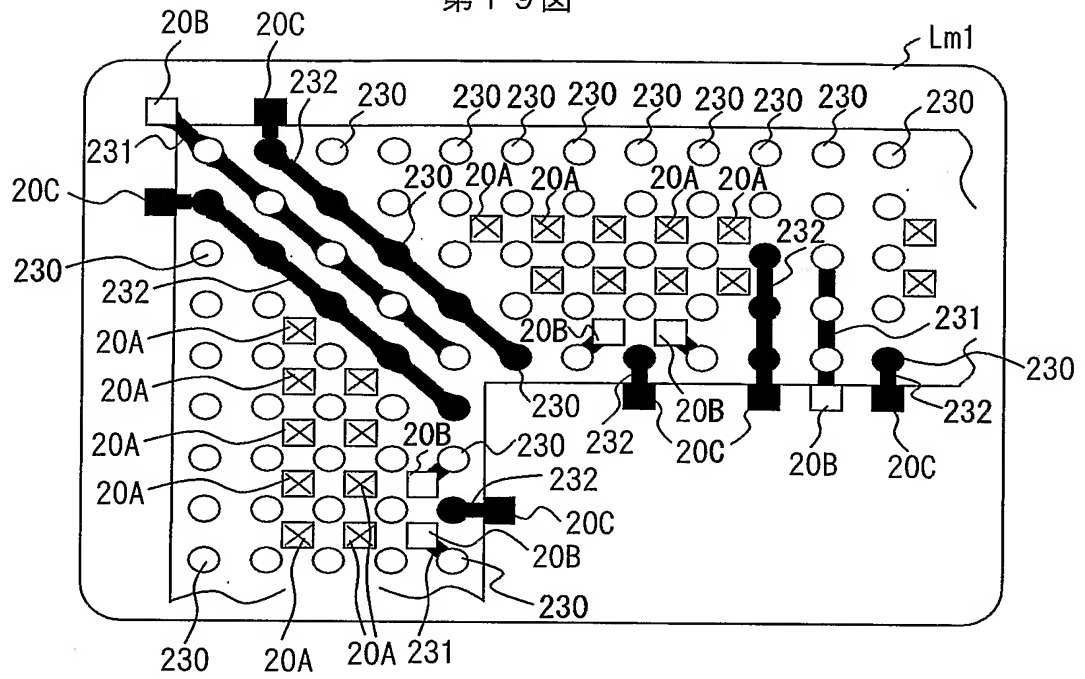


第 18 図

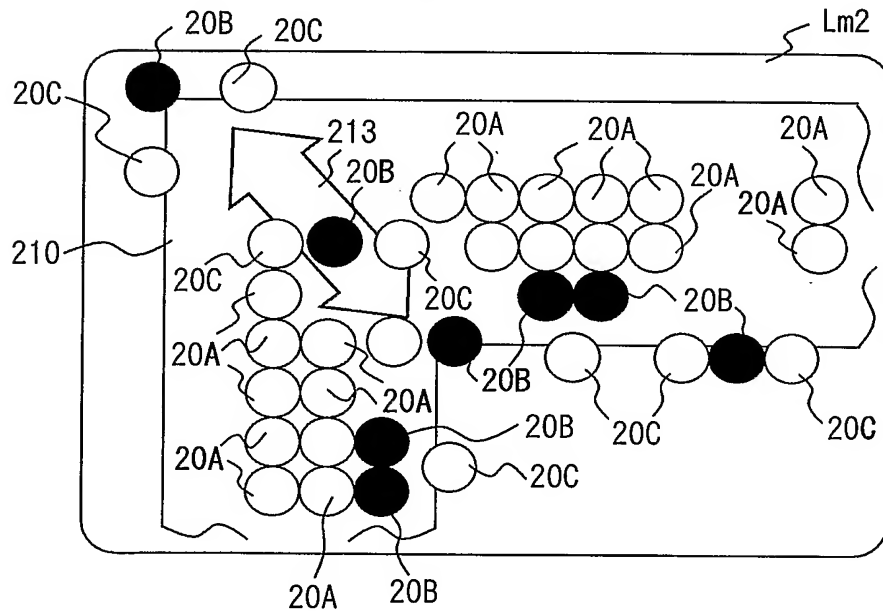


17/34

第19図

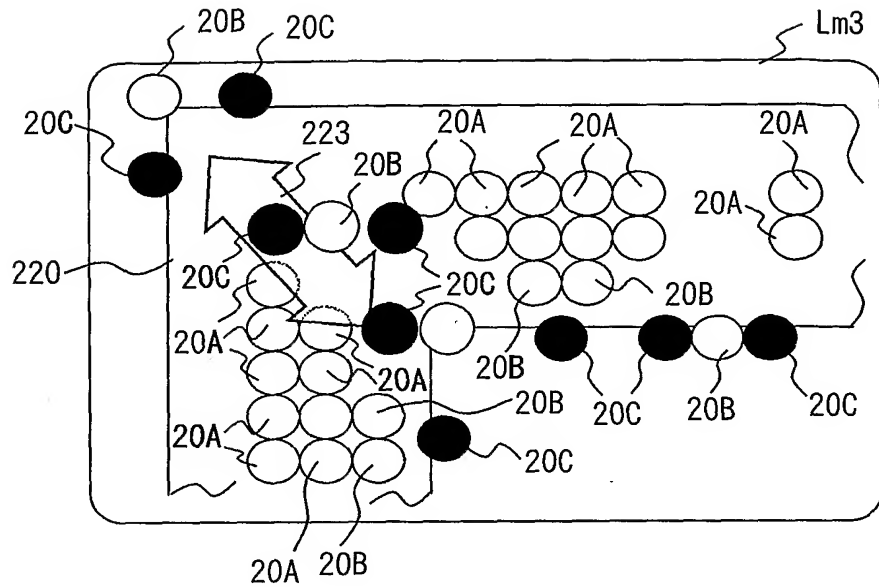


第20図

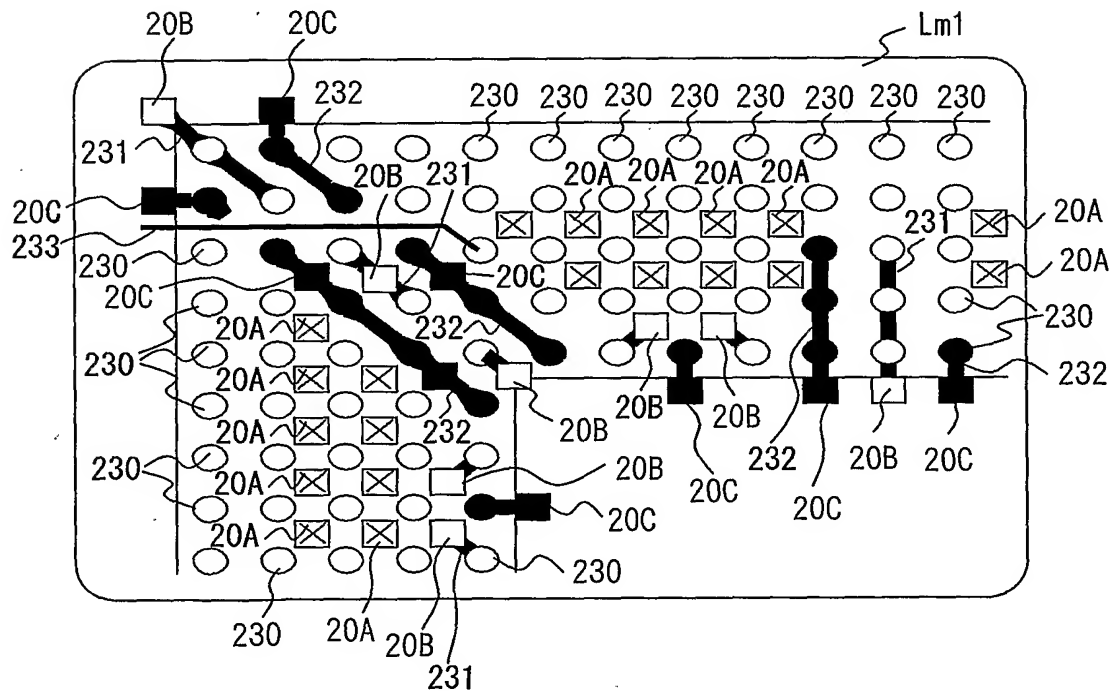


18/34

第 2 1 図

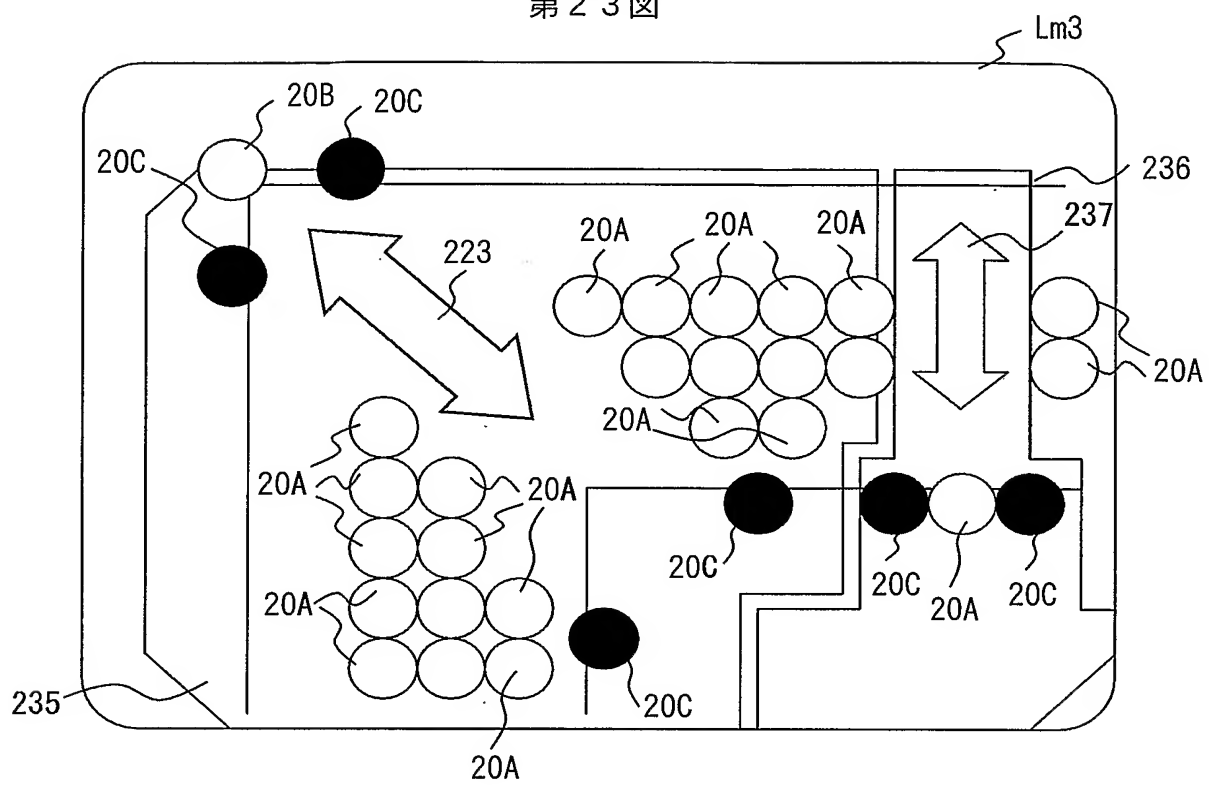


第 2 2 図

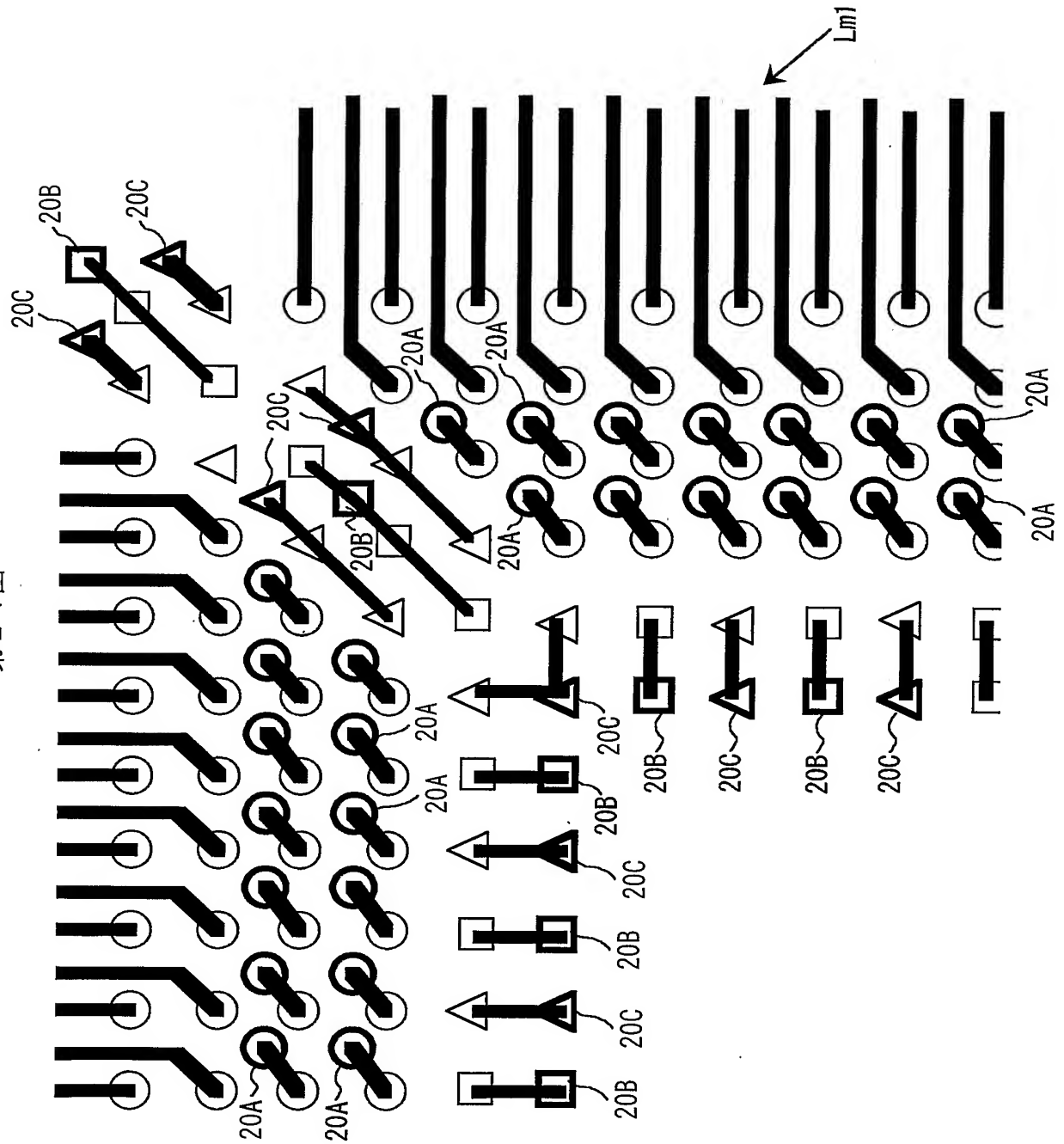


19 / 34

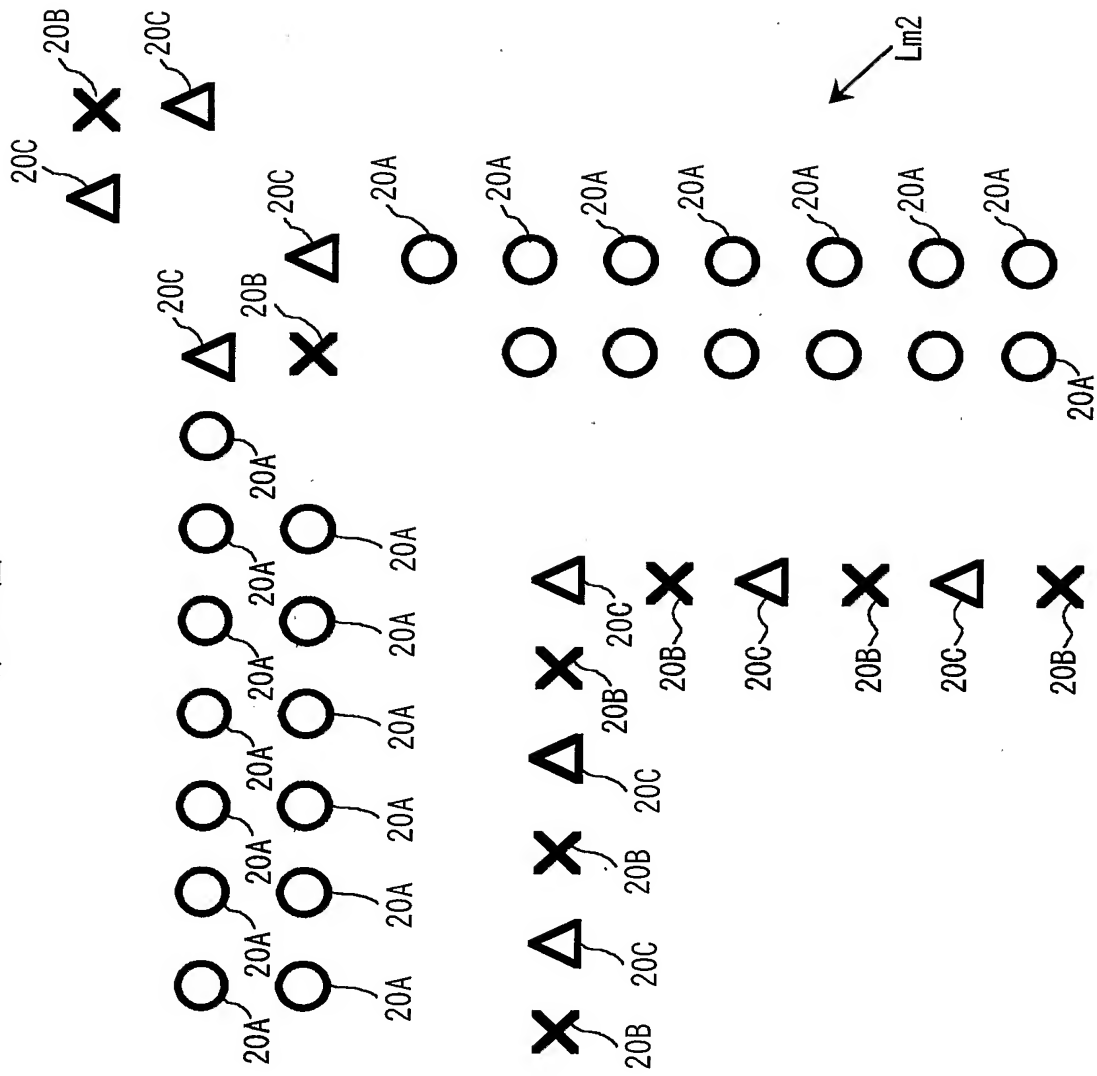
第 23 図



第 24 图



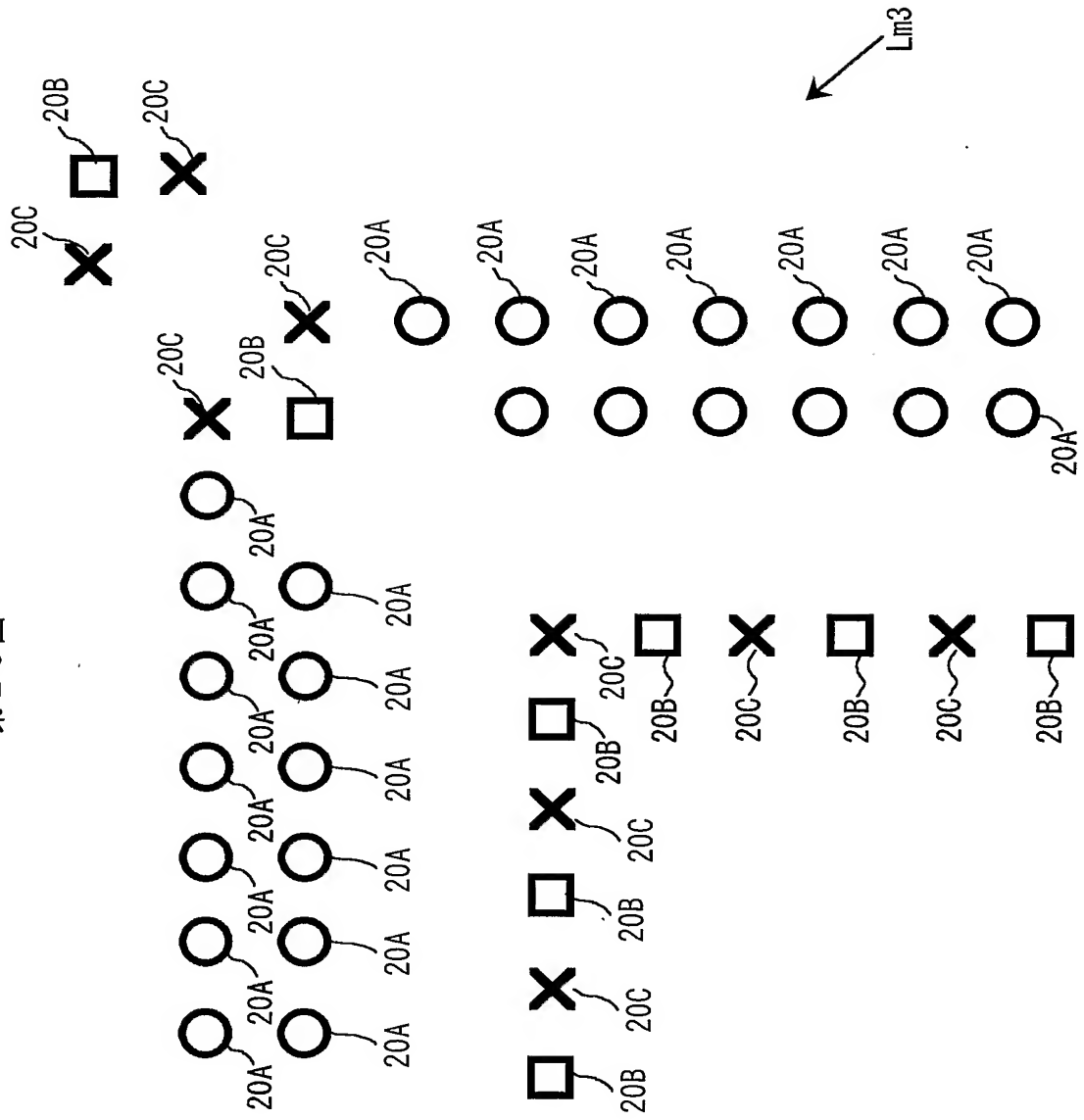
52 冊





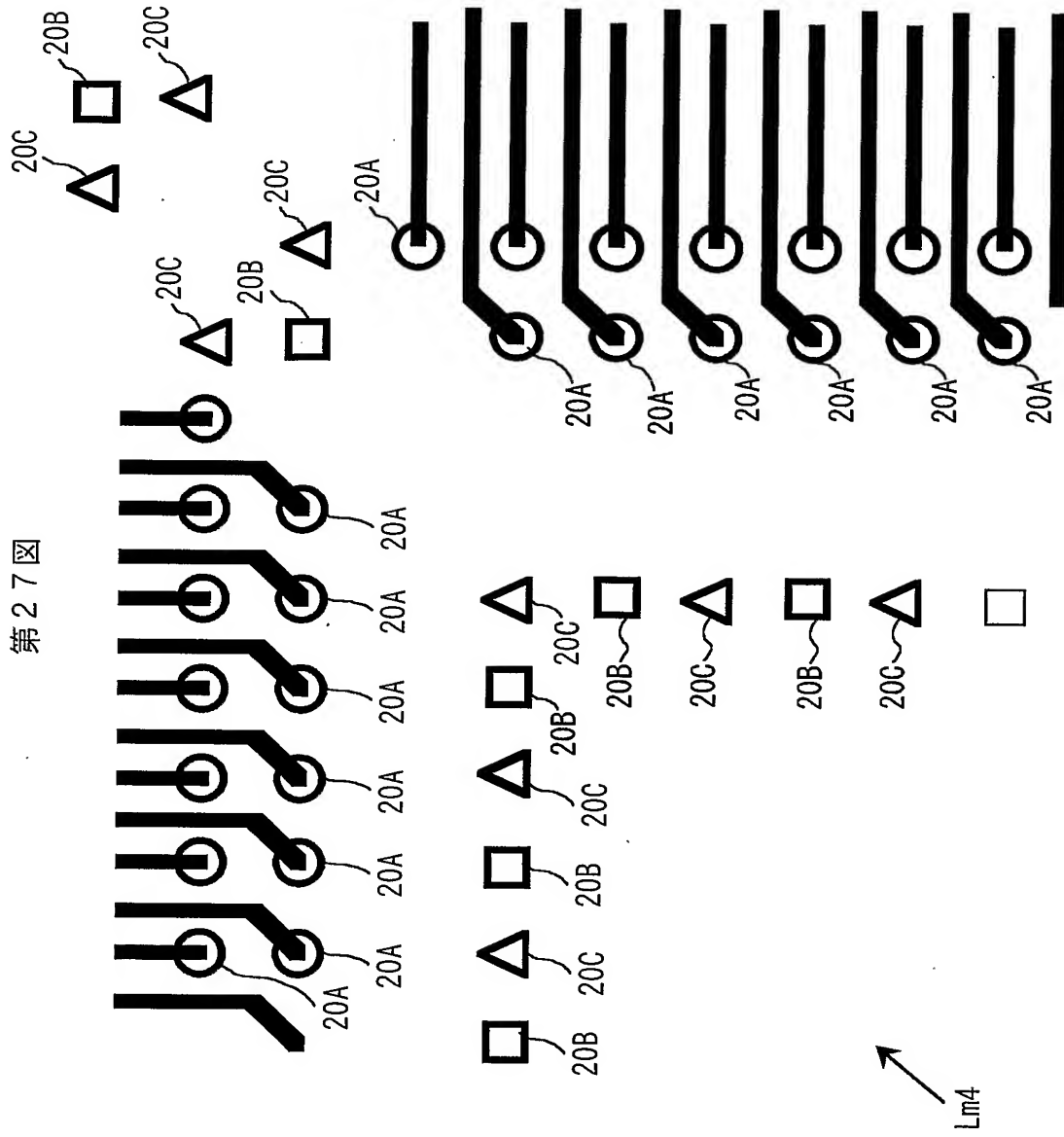
22 / 34

第26図



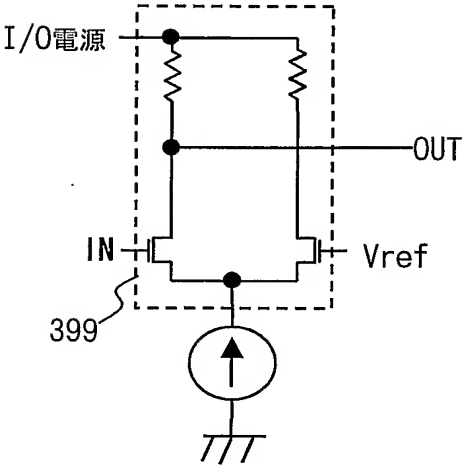
23 / 34

第27図

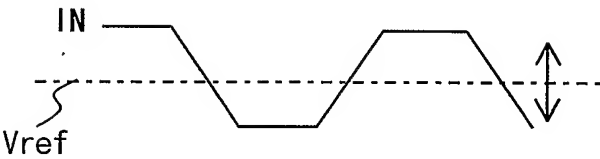


2 4 / 3 4

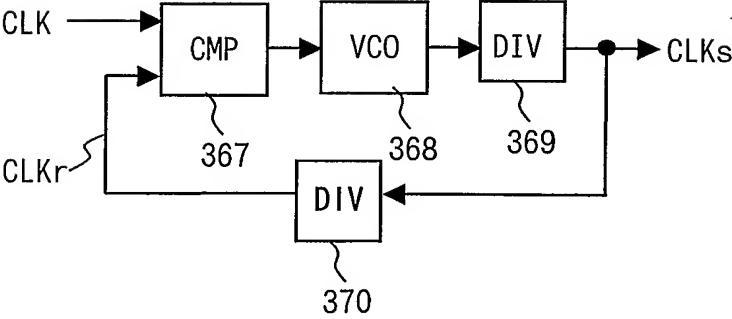
第 2 8 図



第 3 1 図

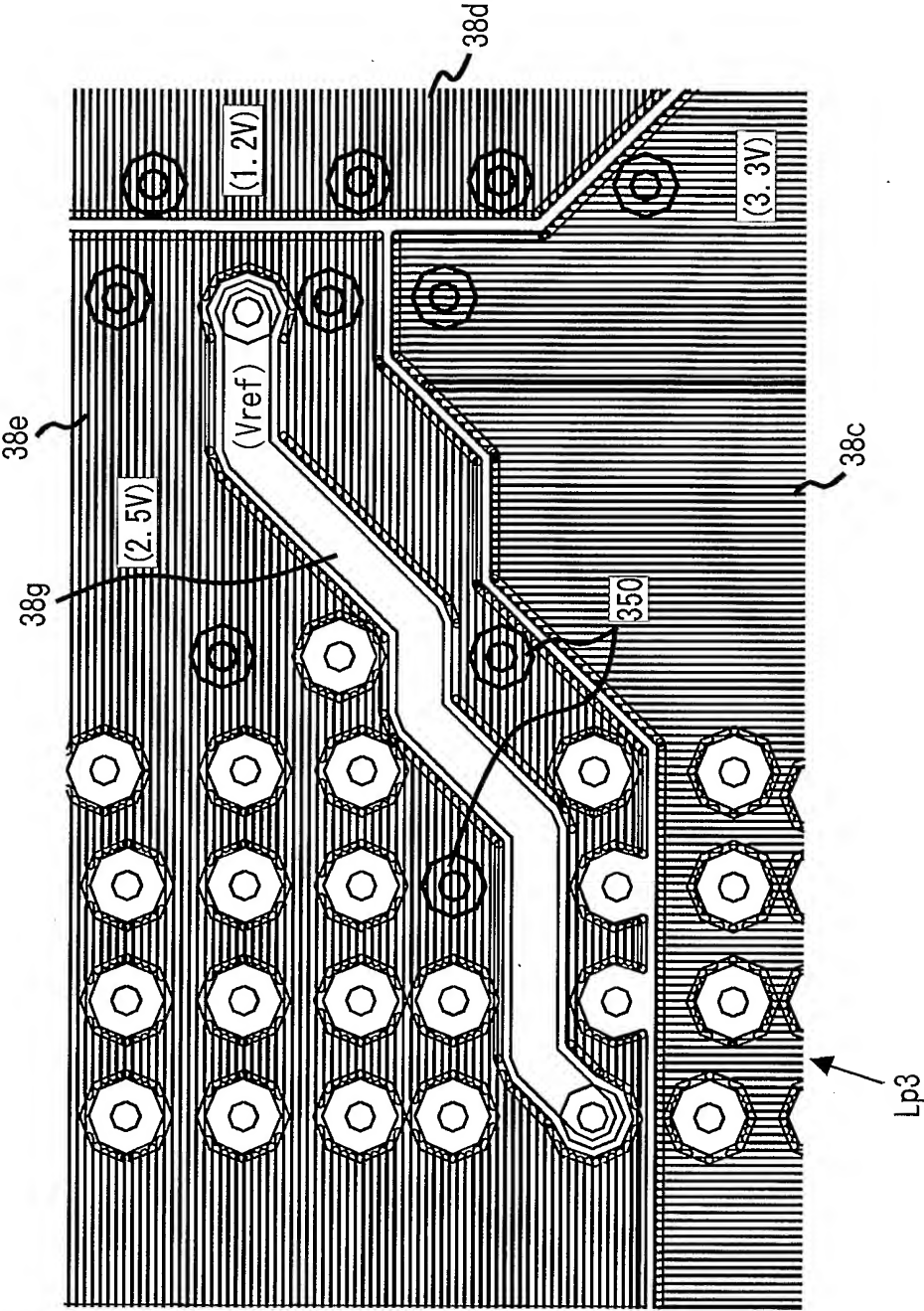


第 3 3 図

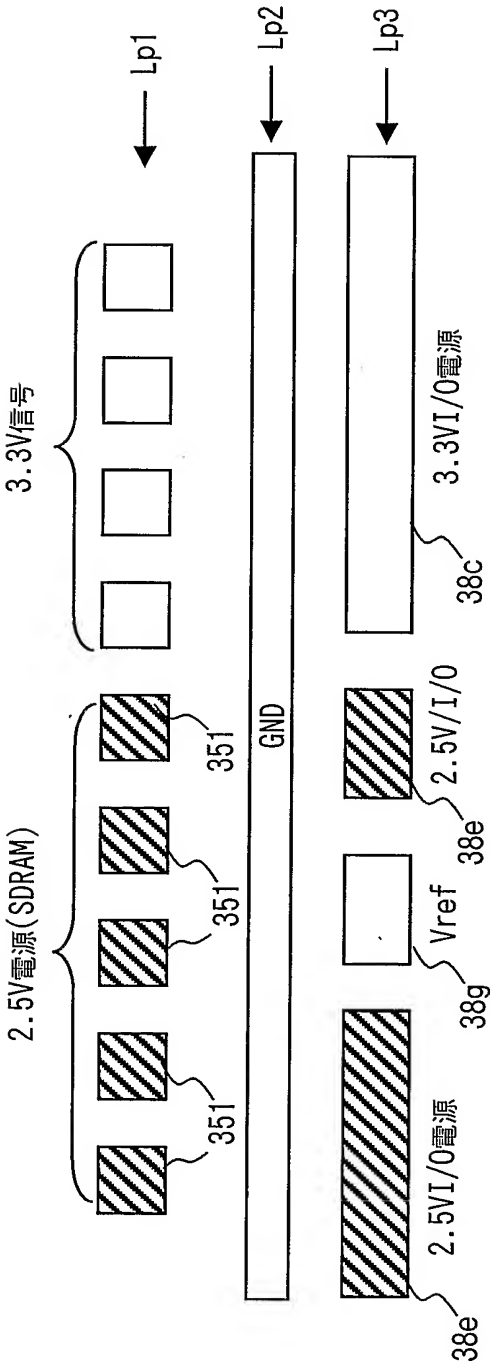


25 / 34

第 29 図

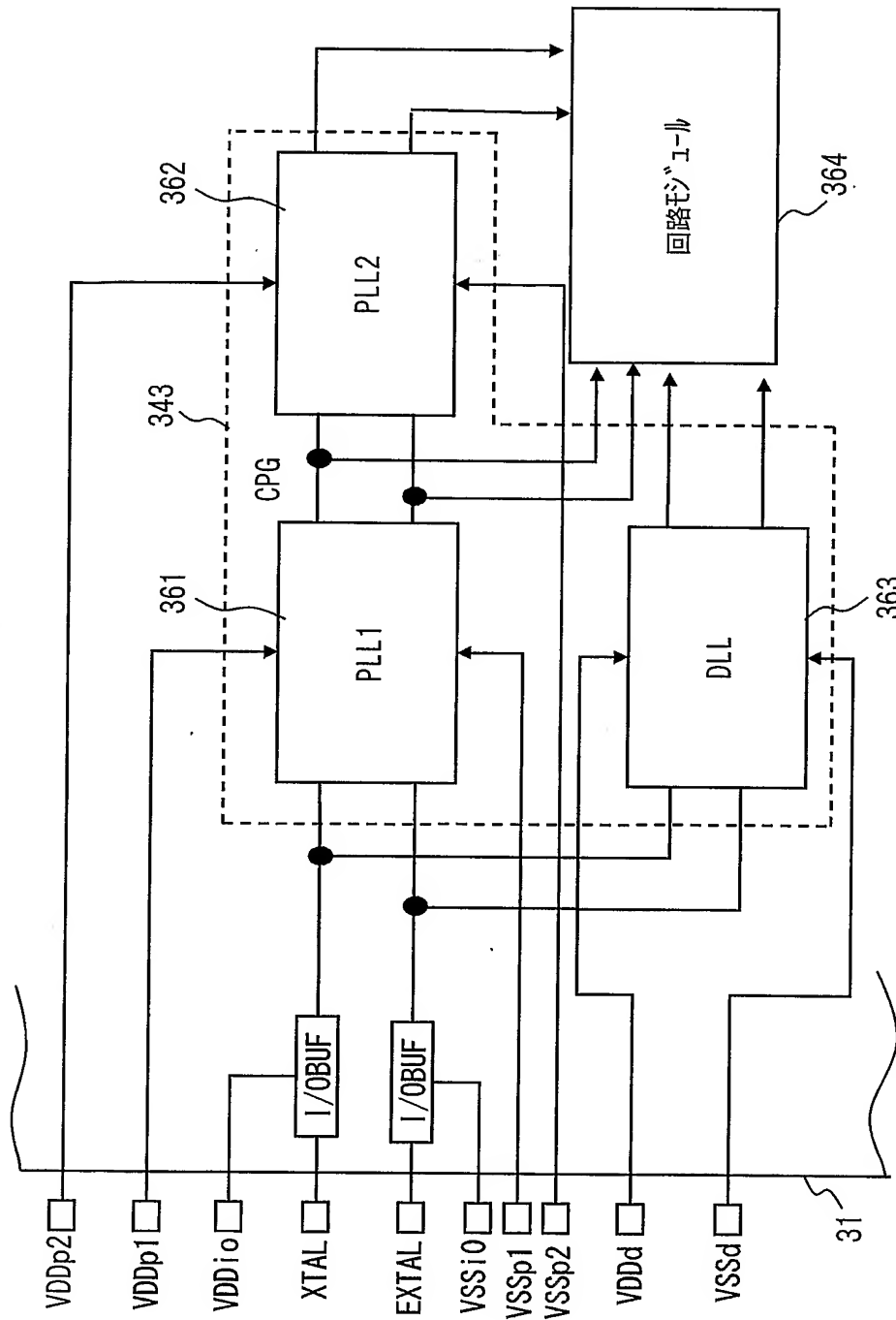


第30図

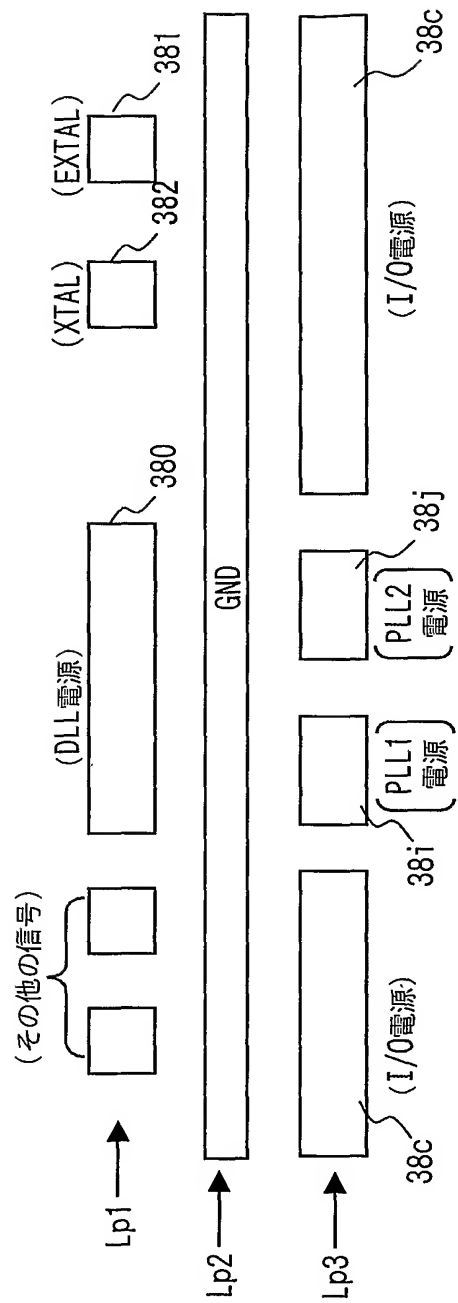


27 / 34

第32図

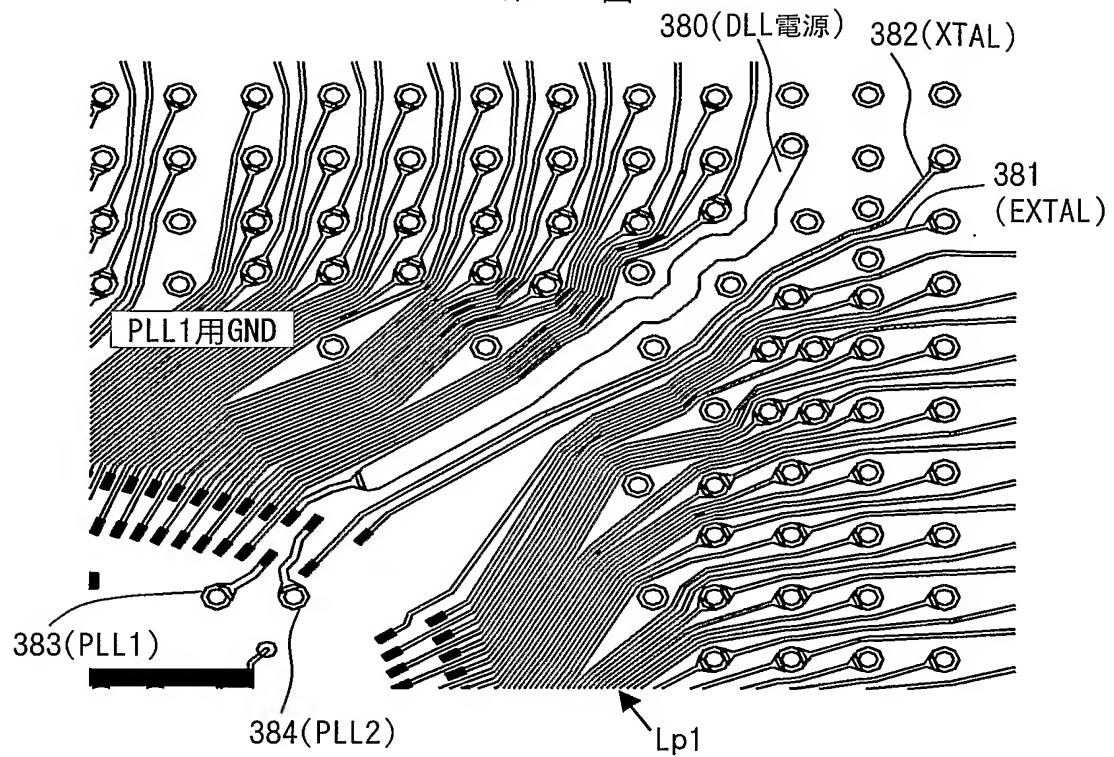


第34図

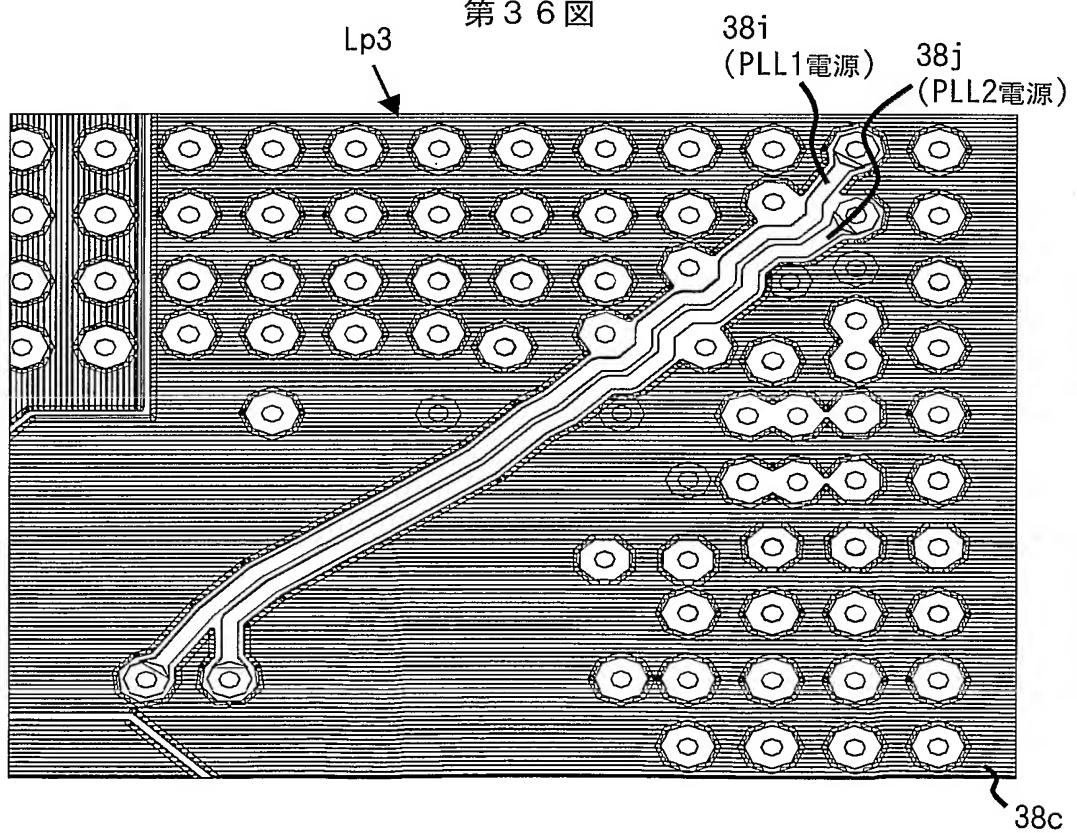


29 / 34

第35図



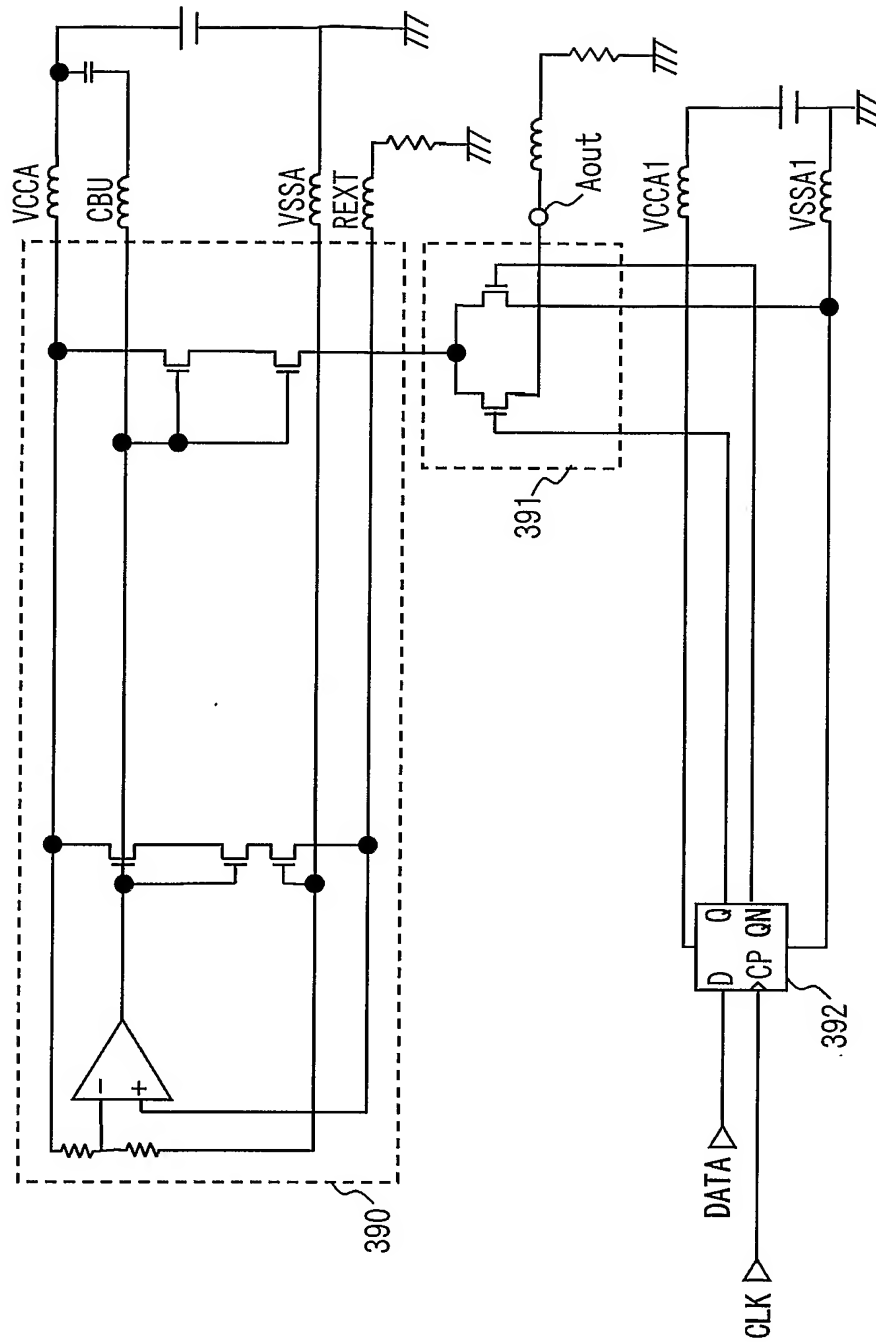
第36図





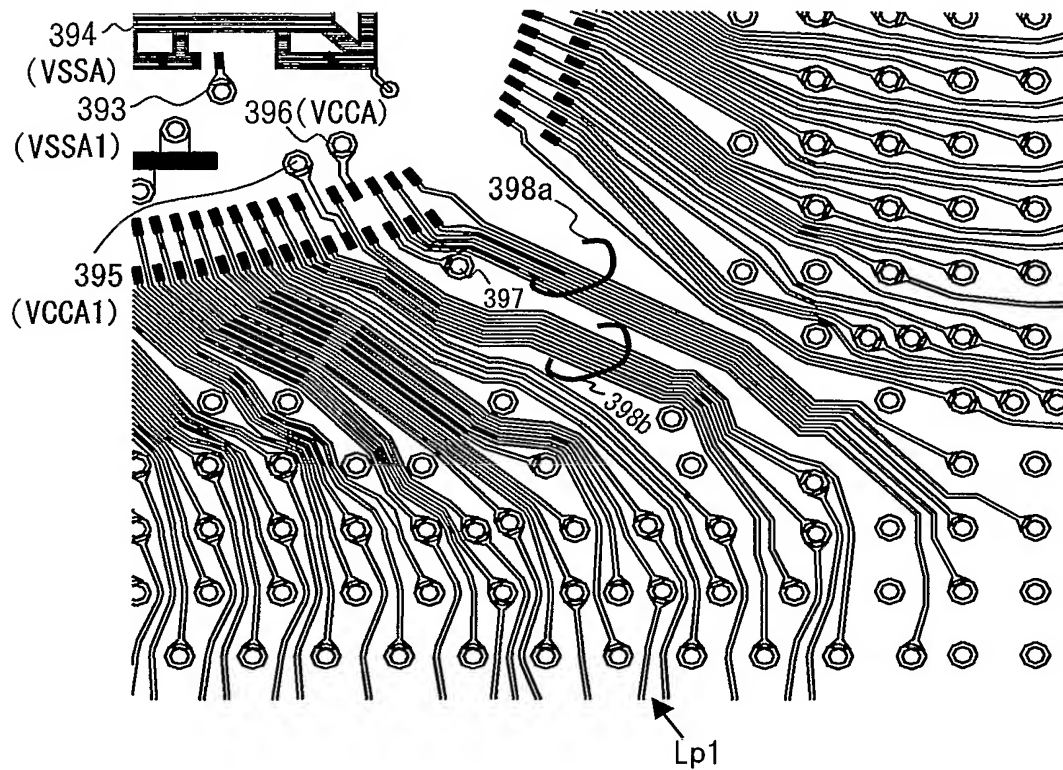
30 / 34

第 37 図

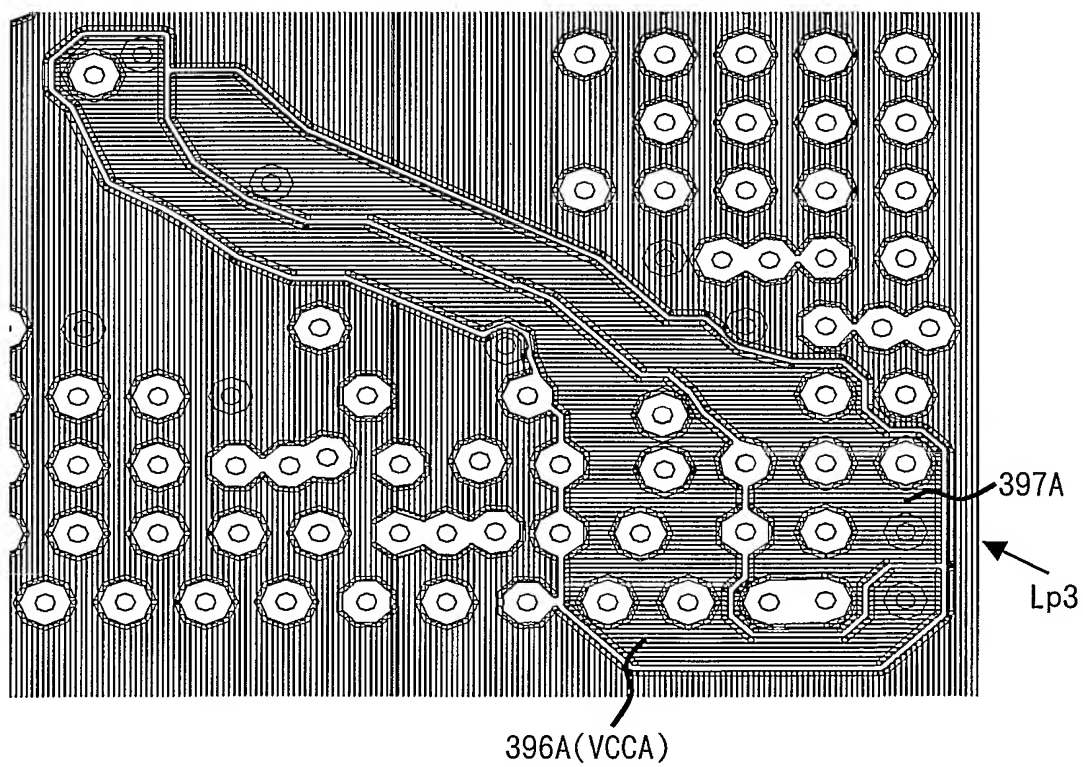


31 / 34

第38図

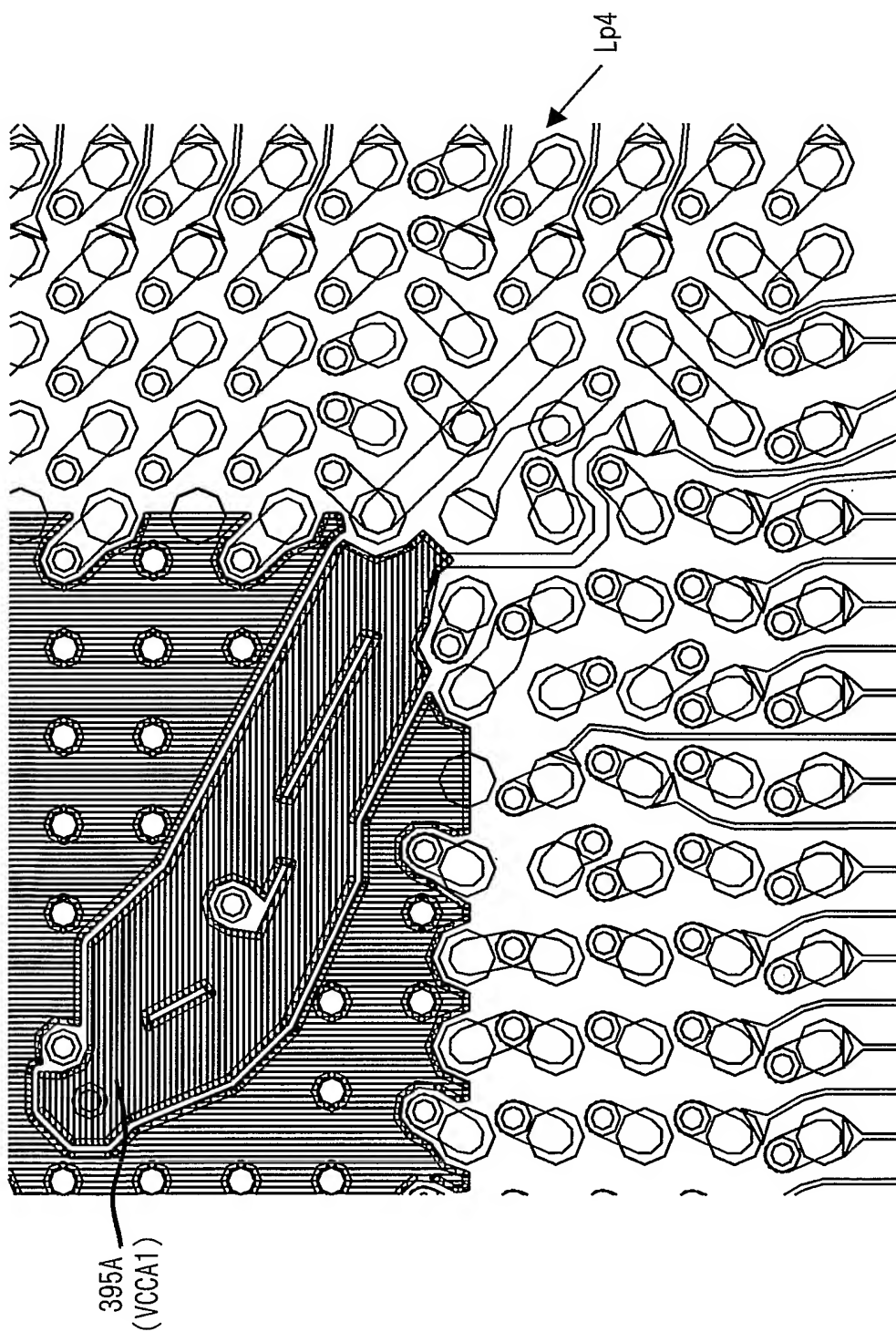


第40図



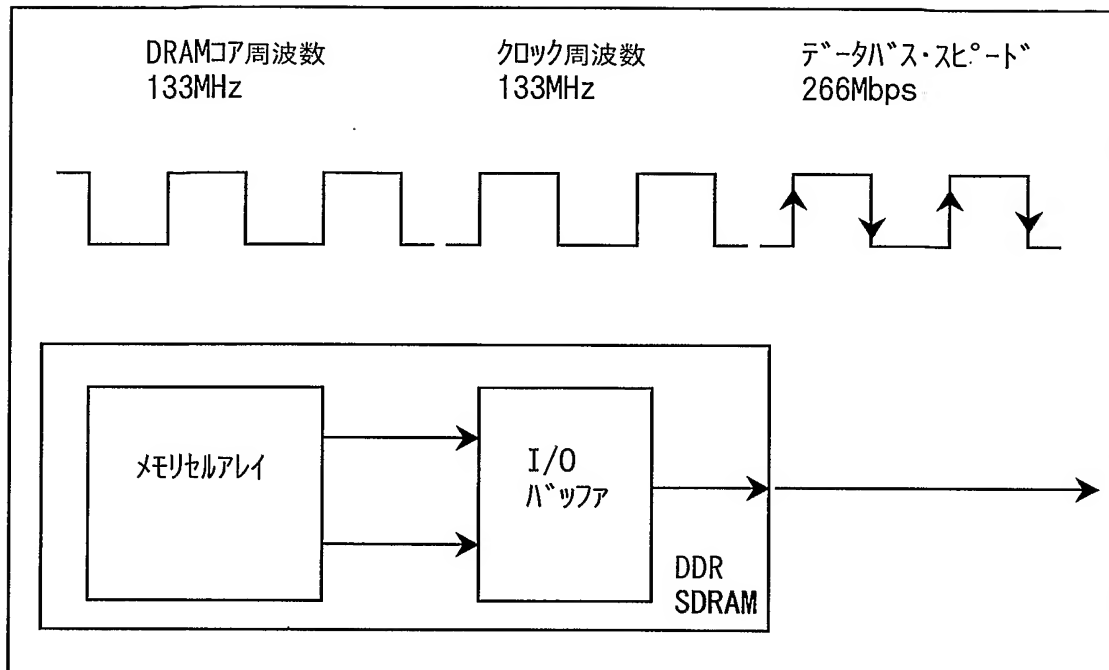
32 / 34

第39図



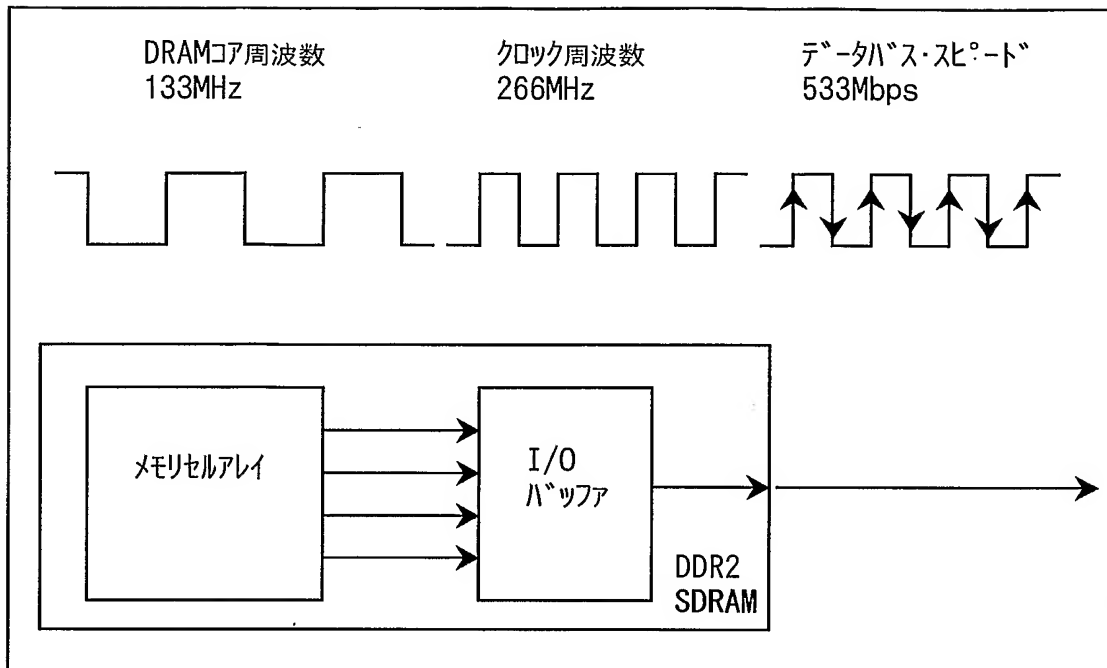
33/34

第41図



3 4 / 3 4

第 4 2 図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003767

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L25/10, H01L25/18, G06F13/16, G06F12/00, G06F1/18, H05K1/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L25/10, H01L25/18, H05K1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-177046 A (Hitachi, Ltd.), 29 June, 2001 (29.06.01), Par. Nos. [0023] to [0037], [0071] (Family: none)	1-5, 29-36
A	JP 2003-345480 A (Hitachi, Ltd.), 05 December, 2003 (05.12.03), Par. Nos. [0014] to [0025], [0033] (Family: none)	1-5, 29-36
A	JP 2000-183173 A (NEC Corp.), 30 June, 2000 (30.06.00), Claim 1; Par. Nos. [0023] to [0043] (Family: none)	1-5, 29-36



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search

22 June, 2004 (22.06.04)

Date of mailing of the international search report

06 July, 2004 (06.07.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003767

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-67970 A (Fujitsu Ltd.), 09 March, 1999 (09.03.99), Par. Nos. [0017] to [0034] (Family: none)	1-5, 29-36

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003767

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As mentioned on the "extra sheet", there must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The international application contains four groups of inventions: the inventions of claims 1-5 and 29-36; the inventions of claims 6-17 and 25-28; the inventions of claims 18-22; and the inventions of claims 23-24.

(Continued to extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-5 and 29-36

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.



Continuation of Box No. III of continuation of first sheet (2)

I. Claims 1-5 and 29-36 define an invention of a device comprising mounting board wirings commonly connected to the external terminals of first and second semiconductor devices in a bit-to-bit correspondence and characterized in that "the unevenness of the lengths of the mounting board wirings cancel the unevenness of the lengths of the assembly wirings".

II. Claims 6-17 and 25-28 define an invention characterized in that a package board "comprises a first conductive layer used for connection to pad electrodes of a semiconductor chip, a second conductive layer used for a ground plane, a third conductive layer used for a power supply plane, and a fourth conductive layer used for connection to a mounting board".

III. Claims 18-22 define an invention of a technique relating to an electronic circuit that has, on a mounting board, semiconductor memory devices and a semiconductor control device that can conduct access control of the semiconductor memory devices and characterized in that the mounting board has a power supply plane for a termination power supply for terminating the wiring between the semiconductor memory devices and the semiconductor control device through termination resistors, the semiconductor memory devices are mounted nearer to the power supply plane for the termination power supply than the semiconductor control device, the termination resistors connected to the wiring and first stabilizing capacitors disposed near to the termination resistors are discretely connected to the power supply plane for the termination power supply, and a second stabilizing capacitor having a capacitance than those of the first stabilizing capacitors is connected to the power supply plane for the termination power supply at an edge of the power supply plane far from the supply edge for supplying the termination power".

IV. Claims 23, 24 define an invention of a semiconductor chip comprising a phase-locked loop circuit or delay locked loop circuit and characterized in that "the first conductive layer has a power supply wiring for supplying power to the phase-locked loop circuit or delay locked loop circuit and a clock wiring for supplying a clock signal to the phase-locked loop circuit or delay locked loop circuit and in that the power supply wiring is spaced from the clock wiring at a distance larger than the minimum spacing dimension of the wiring of the first conductive layer".

There is no technical relationship among the inventions having different features described in I, II, III, and IV and involving one or more of the same or corresponding special technical feature. Therefore, these inventions are not so linked as to form a single general inventive concept. The international application contains four groups of inventions: the inventions of claims 1-5 and 29-36; the inventions of claims 6-17 and 25-28; the inventions of claims 18-22; and the inventions of claims 23, 24.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H01L25/10, H01L25/18, G06F13/16, G06F12/00, G06F 1/18, H05K 1/02		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H01L25/10, H01L25/18, H05K 1/02		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-177046 A (株式会社日立製作所) 2001.06.29 【0023】-【0037】 【0071】 (ファミリーなし)	1-5, 29-36
A	JP 2003-345480 A (株式会社日立製作所) 2003.12.05 【0014】-【0025】 【0033】 (ファミリーなし)	1-5, 29-36
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 22.06.2004	国際調査報告の発送日 06.7.2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 今井 拓也	4 R 9169
電話番号 03-3581-1101 内線 3469		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-183173 A (日本電気株式会社) 2000.06.30 【請求項1】 【0023】 - 【0043】 (ファミリーなし)	1-5, 29-36
A	JP 11-67970 A (富士通株式会社) 1999.03.09 【0017】 - 【0034】 (ファミリーなし)	1-5, 29-36

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

(特別ページ) に記載したように、請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、1～5及び29～36、6～17及び25～28、18～22、23～24に区分される4個の発明が記載されている。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。  
請求の範囲 1～5及び29～36

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

I. 請求の範囲1～5及び29～36は、第1の半導体装置の複数ビットの外部端子と第2の半導体装置の複数ビットの外部端子にビット対応で共通接続される複数の実装基板配線を有するものであり、「実装基板配線の不等長は組立て用配線の不等長を相殺する関係を有する」ことを特徴とする発明である。

II. 請求の範囲6～17及び25～28は、パッケージ基板が、「半導体チップのパッド電極との接続に利用される第1導電層、グランドプレーンに利用される第2導電層、電源プレーンに利用される第3導電層、及び実装基板との接続に利用される第4導電層を含」むことを特徴とする発明である。

III. 請求の範囲18～22は、実装基板に複数の半導体メモリ装置と前記半導体メモリ装置をアクセス制御可能な半導体制御装置とを有する電子回路に係る技術であって、「実装基板は前記半導体メモリ装置と前記半導体制御装置とを接続する配線を総端抵抗を介して終端させる為の終端電源の電源プレーンを有し、前記半導体制御装置よりも前記半導体メモリ装置が前記終端電源の電源プレーン寄りに実装され、前記終端電源の電源プレーンに、前記配線に接続する終端抵抗と前記終端抵抗寄りに配置された第1の安定化容量とが複数個分散して接続され、前記終端電源の電源プレーンには終端電源を供給する供給端に対して当該電源プレーンの遠端部に前記第1の安定化容量よりも大きな第2の安定化容量が接続され」ることを特徴とする発明である。

IV. 請求の範囲23～24は、半導体チップとして、フェース・ロックド・ループ回路又はディレイ・ロックド・ループ回路を有しており、「第1導電層は、前記フェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路に電源を供給する電源配線と、前記フェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路にクロック信号を供給するクロック配線とを有し、前記電源配線とクロック配線は第1導電層における配線の最小間隔寸法よりも大きな間隔で離間される」ことを特徴とする発明である。

上記I、II、III、IVの異なる特徴部を有する発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。よって、この国際出願の請求の範囲には、1～5及び29～36、6～17及び25～28、18～22、23～24に区分される4個の発明が記載されている。